

Docket No.: 67161-105

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Kengo ARITOMI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 30, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY DEVICE HAVING REDUCED CURRENT DISSIPATION IN DATA HOLDING MODE		

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

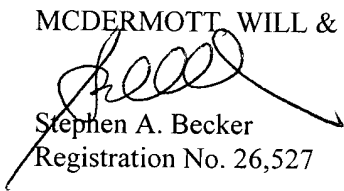
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-101641(P), filed on April 4, 2003.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:gv  
Facsimile: (202) 756-8087  
**Date: September 30, 2003**

67161-105

Kengo, ARITOMI et al.

日本国特許庁 September 30, 2003

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 4月 4日

出願番号

Application Number:

特願2003-101641

[ST.10/C]:

[JP2003-101641]

出願人

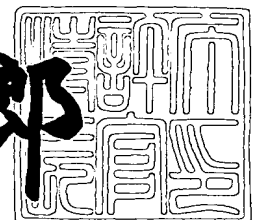
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045244

【書類名】 特許願

【整理番号】 542806JP01

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 有富 謙悟

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 井上 好永

【特許出願人】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行列状に配列され、各々が情報を記憶する複数のメモリセル

、  
活性化時、第 1 の周期で第 1 のリフレッシュ要求を発行する第 1 のリフレッシュ  
ユタイマ、

前記第 1 のリフレッシュ要求に従って、第 1 のリフレッシュアドレスを生成し  
て出力する第 1 のリフレッシュアドレス発生回路、

活性化時、前記第 1 の周期よりも短い周期で第 2 のリフレッシュ要求を発行す  
る第 2 のリフレッシュタイマ、

前記第 1 のリフレッシュアドレスと独立に第 2 のリフレッシュアドレスを生成  
する第 2 のリフレッシュアドレス発生回路、および

各メモリセル行に対応して配置され、各々が、活性化時、与えられたアドレス  
信号に従って対応の行を選択状態に駆動する複数の行選択回路を備え、各前記行  
選択回路は、前記第 1 のリフレッシュアドレスおよび前記第 2 のリフレッシュア  
ドレスの一方に従ってアドレス指定された行を選択状態へ駆動し、各前記行選択  
回路は、前記第 1 および第 2 のリフレッシュアドレスに対する応答関係が択一的  
に設定される、半導体記憶装置。

【請求項 2】 前記第 1 のリフレッシュ要求に従って前記第 1 のリフレッシュ  
アドレスを選択して前記行選択回路へ与える第 1 の選択回路、および

前記第 2 のリフレッシュ要求に従って前記第 2 のリフレッシュアドレスを選択  
して前記行選択回路へ与える第 2 のアドレス選択回路をさらに備える、請求項 1  
記載の半導体記憶装置。

【請求項 3】 各前記行選択発生回路は、リフレッシュアドレスをプログラ  
ムするプログラム回路を含む、請求項 1 記載の半導体記憶装置。

【請求項 4】 前記プログラム回路は、前記第 1 のリフレッシュアドレスと  
第 2 のリフレッシュアドレスの一方を有効とする、請求項 3 記載の半導体記憶装  
置。

【請求項 5】 前記第 2 のリフレッシュアドレス発生回路は、前記第 2 のリフレッシュ要求に従ってカウント動作を行なって前記第 2 のリフレッシュアドレスを生成するカウント回路を備える、請求項 1 記載の半導体記憶装置。

【請求項 6】 各前記行選択回路は、活性化時、前記第 1 のリフレッシュアドレス信号をデコードする第 1 のデコード回路と、

活性化時、前記第 2 のリフレッシュアドレス信号をデコードする第 2 のデコード回路と、

前記第 1 および第 2 のデコード回路の出力信号に従って対応のメモリセル行を選択状態へ駆動する行駆動回路と、

前記第 1 および第 2 のデコード回路を択一的に動作可能状態に設定するプログラム回路を備える、請求項 1 記載の半導体記憶装置。

【請求項 7】 前記第 1 のアドレス発生回路は、前記第 1 のリフレッシュ要求に従ってカウント動作を行なってリフレッシュアドレスを生成するアドレスカウント回路を含み、

前記第 1 のアドレス選択回路は、前記第 1 のリフレッシュ要求に従って前記第 1 のリフレッシュアドレスを外部からのアドレス信号に代えて選択して前記行選択回路へ与えるアドレス選択回路とを含む、請求項 2 記載の半導体記憶装置。

【請求項 8】 前記複数のメモリセルは、それぞれが行列状に配列される複数のメモリセルを含む複数のメモリブロックに分割され、

前記第 1 および第 2 のリフレッシュアドレスは、それぞれ、メモリブロックを特定するブロックアドレスを含む、請求項 1 記載の半導体記憶装置。

【請求項 9】 前記第 1 および第 2 のリフレッシュ要求の発行タイミングが競合するのを防止する競合回避回路をさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 10】 前記競合回避回路は、前記第 1 および第 2 のリフレッシュ要求の一方を所定時間遅延する遅延回路を備える、請求項 9 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、記憶データの定期的なリフレッシュが必要なダイナミック型半導体記憶装置に関する。より特定的には、この発明は、データ保持モードにおける消費電流を低減するための構成に関する。

## 【0002】

## 【従来の技術】

DRAM（ダイナミック・ランダム・アクセス・メモリ）等のダイナミック型半導体記憶装置においては、データを記憶するメモリセル内にキャパシタが設けられる。このキャパシタに、電荷の形態でデータを格納するため、1つのメモリセルは、通常、1つのトランジスタと1つのキャパシタとで構成される。したがって、このDRAMセルは、4個のトランジスタと2個の負荷素子を必要とするSRAMセルなどに比べて占有面積が小さい。このため、大記憶容量のメモリを小占有面積で実現することができ、DRAMは、大記憶容量のメモリとして広く用いられている。

## 【0003】

しかしながら、DRAMにおいては、データがキャパシタに電荷の形態で格納されるため、基板領域または層間絶縁膜への電荷のリークにより蓄積電荷が流出すると、記憶データが消出する。このため、DRAMにおいては、定期的に記憶データの再書込を行なうリフレッシュが行なわれる。このリフレッシュを行なう動作モードとしては、データアクセスの間に外部からのリフレッシュ指示に従って実行されるオートリフレッシュモードと、長期にわたってデータアクセスが行なわれないデータ保持モード時に、内部でリフレッシュタイミングおよびリフレッシュアドレスを生成してリフレッシュを実行するセルフリフレッシュモードとがある。

## 【0004】

セルフリフレッシュモード時には、内部に設けられたリフレッシュタイマにより計時動作を行なって、所定の時間間隔でリフレッシュ要求を発行する。このリフレッシュ要求に従ってリフレッシュアドレスカウンタからのリフレッシュアドレスが指定するリフレッシュ行を選択して、データの再書込を行なう。リ

フレッシュアドレスカウンタのカウント値は、リフレッシュ実行時に更新される。

## 【 0 0 0 5 】

セルフリフレッシュモード時においては、単にデータの保持が行なわれるだけである。したがって、このデータ保持モード時においては、できるだけ消費電力を小さくするのが望ましい。特に、携帯機器用途においては、電池が電源として用いられており、電池の寿命の観点からも消費電力を小さくするのが望まれる。

## 【 0 0 0 6 】

データ保持モード時の電流消費は、リフレッシュ動作により生じる。したがって、リフレッシュ回数が少なければ少ないほど消費電流を低減することができる。1つのメモリセルについてリフレッシュが実行される間隔は、リフレッシュサイクルと呼ばれ、たとえば64 msec（ミリ秒）に設定される。同一チップ上で製造時のプロセス変動、パターンずれおよびエッチング残滓等の異物などによりメモリセルキャパシタの電荷保持特性が異なることがある。

## 【 0 0 0 7 】

リフレッシュサイクルは、最悪ケースの電荷保持特性を想定して設定される。したがって、電荷保持特性の優れたキャパシタを有するメモリセルについては、十分に電荷が蓄積された状態でリフレッシュが実行される。一般に、電荷保持特性の劣るメモリセルの数は、電荷保持特性に優れたメモリセルの数よりもはるかに少ない。従って、このリフレッシュを、メモリセルの電荷保持特性（ポーズリフレッシュ特性）に応じたリフレッシュサイクルで実行することができれば、電荷保持特性に優れたメモリセルのリフレッシュサイクルを長くすることにより、単位時間当りのリフレッシュ回数を低減することができる。ここで、ポーズリフレッシュ特性は、スタンバイ状態における電荷の保持特性を示す。

## 【 0 0 0 8 】

従来、このような電荷保持特性の悪いメモリセルのリフレッシュサイクルを、そうでないメモリセルに比べて短くすることを図る構成が、以下の特許文献1から10において開示されている。

## 【 0 0 0 9 】



【特許文献1】

特開2002-133862号公報

【0010】

【特許文献2】

特開2001-250378号公報

【0011】

【特許文献3】

特開平11-39861号公報

【0012】

【特許文献4】

特開平8-45271号公報

【0013】

【特許文献5】

特開平6-44773号公報

【0014】

【特許文献6】

特開平5-101651号公報

【0015】

【特許文献7】

特開平3-283180号公報

【0016】

【特許文献8】

特開昭62-223893号公報

【0017】

【特許文献9】

特開2001-184860号公報

【0018】

【特許文献10】

国際公開第96/28825号パンフレット

【 0 0 1 9 】

【発明が解決しようとする課題】

特許文献1においては、メモリアレイを複数のセルアレイに分割し、セルフリフレッシュモード時には、データ保持特性の優れたセルアレイのみを、データ保持領域として利用する。この場合、セルアレイのアドレスとリフレッシュアドレスとの対応を変更する。この特許文献1の構成に従えば、データ保持特性の劣るメモリセルのリフレッシュは行なわれないため、リフレッシュサイクルを長くすることが可能である。しかしながら、たとえば画像データなどの大量のデータを利用する場合、全体のセルアレイを利用する必要がある。この場合、最悪ケースを想定してリフレッシュサイクルが設定されており、各メモリセルのデータ保持特性に応じてリフレッシュ特性を設定することはできない。

【 0 0 2 0 】

特許文献2においては、不良アドレスをキャッシュにプログラムし、データ保持モード時には、このDRAMの不良アドレス領域のデータをSRAMキャッシュへ転送し、通常動作モード時に、SRAMキャッシュからDRAMアレイへ転送する。DRAMでのリフレッシュは、データ保持特性の優れたメモリセルのリフレッシュサイクルで実行することにより、リフレッシュ回数を低減する。しかしながら、このデータ保持特性の劣る不良アドレス領域のデータをキャッシュ領域へ退避させており、また、通常動作モード移行時、SRAMキャッシュに退避されたデータをDRAMの対応の領域へロードしており、このための制御が煩雑となる。特に、SRAMキャッシュへ、不良アドレス領域のデータを転送しており、キャッシュデータの書換を、このデータ保持モード時に入るときおよび出るとき両モード遷移時に行なう必要があり、データ保持モード完了時、高速で、通常のデータアクセスモードに移行することができないという問題が生じる。

【 0 0 2 1 】

特許文献3においては、データ保持特性の劣る不良ロウを特定する不良アドレスとリフレッシュアドレスとを比較し、所定数の上位ビットを除くアドレスビットが一致した場合に、この不良ロウおよび正常ロウをともにリフレッシュする。この特許文献3の構成の場合、リフレッシュ特性の劣る不良ロウのリフレッシュ

回数が、正常ロウのリフレッシュ回数よりも多くなり、リフレッシュサイクルを、結果的に長くすることができる。しかしながら、この特許文献3の構成の場合、異なるメモリブロックの不良ロウおよび正常ロウを同時に選択することが要求され、同一メモリブロック内において、不良ロウおよび正常ロウを同時にリフレッシュすることはできず、同時に選択される不良ロウおよび正常ロウの関係が制約される。また、この不良ロウのリフレッシュ時には、正常ロウおよび不良ロウ両者がリフレッシュされる場合、正常ロウの読出時と異なり、リフレッシュ行の数が増大し、応じてリフレッシュ電流（平均電流）が増大する。

## 【 0 0 2 2 】

特許文献4においては、データ保持特性の劣る不良ロウのアドレスの所定ビットがリフレッシュアドレスと一致した場合には、この不良ロウのリフレッシュを、正常ロウのリフレッシュを待合わせて実行する。すべてのメモリセルがリフレッシュされる間に、不良ロウが複数回リフレッシュされるため、全体として、リフレッシュサイクルが長くなる。しかしながら、データ保持特性の劣る不良ロウの数が複数存在する場合、正常ロウのリフレッシュサイクルが、応じて、長くなり、正常ロウのデータ保持特性を保証することができなくなる可能性が生じる。

## 【 0 0 2 3 】

特許文献5においては、特許文献4と同様、データ保持特性の劣る不良ロウのアドレスを記憶し、リフレッシュ動作時、不良ロウのリフレッシュを挿入している。したがって、正常ロウのリフレッシュサイクルが、長くされる。この場合でも、不良ロウが1つだけの場合には、リフレッシュサイクルの実効的な増加も生じず、正常ロウの記憶データを正確にリフレッシュすることが可能である。しかしながら、この不良ロウの数が複数存在する場合、正常ロウのリフレッシュサイクルは、応じて長くなり、正常ロウのデータ保持を保証することができなくなる可能性がある。

## 【 0 0 2 4 】

特許文献6においては、不良ロウのリフレッシュサイクルに到達したときに、正常ロウのリフレッシュに割込をかけて、不良ロウのリフレッシュを実行している。したがって、たとえば、メモリブロック単位でリフレッシュサイクルを変更

する場合、1つの不良データ保持特性のメモリブロックのリフレッシュの割込が生じ、正常メモリブロックのリフレッシュサイクルが長くなり、データ保持特性を保証することができなくなる問題が生じる。

## 【0025】

特許文献7においては、各リフレッシュ動作期間において、不良ロウを、正常ロウのリフレッシュ後リフレッシュしている。したがって、リフレッシュを実際に行なう期間が長くなり、セルフリフレッシュモードから通常動作モード移行に時間を要し、高速でデータ保持モードを解除することができなくなるという問題が生じる。

## 【0026】

特許文献8においては、データ保持特性の劣る不良ロウに対応するアドレスの指定時に、異なるメモリブロックで正常ロウおよび不良ロウのリフレッシュを同時に実行するように構成している。したがって、不良ロウのリフレッシュサイクルを正常ロウのそれよりも等価的に短くしている。しかしながら、この場合にも、不良ロウのリフレッシュ時には、正常ロウのリフレッシュ時と同時に選択状態へ駆動されるワード線の数異なり、平均消費電流が増加する。

## 【0027】

特許文献9においては、セルフリフレッシュ時のリフレッシュ周期を決定する発振回路の発振周期を、プログラム可能にする構成を示している。特許文献9においては、プロセスパラメータのばらつきなどに起因する発振回路の発振周期の変動によるリフレッシュ周期の変動を抑制し、リフレッシュ周期の最適化を図る。この特許文献9においては、しかしながら、すべてのメモリセルについて共通のリフレッシュサイクルが設定されており、データ保持特性の優れたメモリセルおよびデータ保持特性の劣るメモリセルについてリフレッシュサイクルを変更することについては考慮していない。

## 【0028】

特許文献10においては、メモリブロックごとにリフレッシュサイクルを設定している。この特許文献10においては、各メモリブロックごとにリフレッシュ要求を発行するリフレッシュクロック発生回路を設け、リフレッシュアドレス発

生回路から、対応のメモリブロックを特定するブロックアドレスおよび発振器を起動してブロック内アドレスを生成している。したがって、1つのブロックでリフレッシュをしているときには、別のブロックのリフレッシュは実行することはできない。この特許文献10においては、メモリブロック間でリフレッシュ要求発行が競合した場合、どのように処理するかについては何ら説明していない。

【0029】

それゆえ、この発明の目的は、正確にメモリセルのデータ保持特性に応じたリフレッシュサイクルでリフレッシュを行なうことのできる半導体記憶装置を提供することである。

【0030】

この発明の他の目的は、正確にメモリブロック単位でもリフレッシュをデータ保持特性に応じて実行することのできる半導体記憶装置を提供することである。

【0031】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、行列状に配列され、各々が情報を記憶する複数のメモリセルと、活性化時、第1の周期で第1のリフレッシュ要求を発行する第1のリフレッシュタイマと、第1のリフレッシュ要求に従って、第1のリフレッシュアドレスを生成して出力する第1のリフレッシュアドレス発生回路と、活性化時、第1の周期よりも短い周期で第2のリフレッシュ要求を発行する第2のリフレッシュタイマと、第1のリフレッシュアドレスと独立に第2のリフレッシュアドレスを生成する第2のリフレッシュアドレス発生回路と、各メモリセル行に対応して配置され、各々が活性化時、与えられたアドレス信号に従って対応の行を選択状態へ駆動する複数の行選択回路とを含む。

【0032】

各行選択回路は、第1のリフレッシュアドレスおよび第2のリフレッシュアドレスの一方に従ってアドレス指定された行を選択状態へ駆動する。各行選択回路は、これらの第1および第2のリフレッシュアドレスのいずれに対して応答するかが択一的に設定される。

【0033】

第1および第2のリフレッシュアドレス発生回路を用いることにより、データ保持特性に応じてリフレッシュアドレスを選択的に発生することができる。また、このアドレス選択回路においてリフレッシュ要求に従って対応のリフレッシュアドレスを選択することにより、リフレッシュに割込をかけることなくリフレッシュを個々のリフレッシュサイクルに応じて発生されたリフレッシュアドレスに従って実行することができる。特に、行選択回路において応答するリフレッシュアドレスを第1および第2のリフレッシュアドレスの一方に択一的に設定することにより、正確にメモリセル行をデータ保持特性に応じたリフレッシュサイクルでリフレッシュすることができる。

【0034】

好ましくは、リフレッシュ仲裁回路を利用することにより、メモリブロック単位でリフレッシュ周期を設定する場合においても、正確に、リフレッシュの競合を防止して最適なりフレッシュサイクルでリフレッシュを行なうことができる。

【0035】

【発明の実施の形態】

〔実施の形態1〕

図1は、この発明の実施の形態1に従う半導体記憶装置の全体の構成を概略的に示す図である。図1において、半導体記憶装置は、行列状に配列される複数のメモリセルMCを有するメモリセルアレイ1と、与えられた行アドレス信号に従ってメモリセルアレイ1の行を選択する行選択信号を生成する第1行選択回路2と、第1の行選択回路2と並列して設けられ、与えられたアドレス信号に従ってメモリセルアレイ1のアドレス指定された行を選択状態へ駆動する第2行選択回路4と、第1および第2行選択回路2および4の出力する行選択信号に従ってメモリセルアレイ1の選択行を選択状態へ駆動する行駆動回路6を含む。

【0036】

メモリセルアレイ1においては、メモリセル行に対応してワード線WLが配置され、メモリセルMCの各列に対応してビット線対BLPが配置される。

【0037】

第1および第2行選択回路2および4は、それぞれ、応答する行アドレス信号

がプログラムされる。第 1 および第 2 行選択回路 2 および 4 を並列に配置することにより、ポーズリフレッシュ特性（データ保持特性）に応じて、最適な周期で、ワード線のリフレッシュを実行する。すなわち、セルフリフレッシュモード時においては、リフレッシュアドレス QAD1 および QAD2 が異なる周期で生成され、それぞれ第 1 および第 2 行選択回路 2 および 4 が対応するリフレッシュアドレスを固定的に設定することにより、これらの第 1 および第 2 行選択回路 2 および 4 のリフレッシュ動作サイクルを設定することができる。

## 【 0 0 3 8 】

この半導体記憶装置は、さらに、外部からのコマンド CMD をデコードし内部動作指示信号を生成するコマンドデコード回路 8 と、コマンドデコード回路 8 からのセルフリフレッシュモード指示信号 SELF およびセルフリフレッシュ終了指示信号に従ってセルフリフレッシュモード設定信号 SLREF およびリフレッシュアドレス選択信号 QSEL を生成し、かつリフレッシュアドレス QAD1 および QAD2 を所定の間隔で生成するリフレッシュ制御回路 10 と、コマンドデコード回路 8 からの行活性化指示信号 RACT とリフレッシュ制御回路 10 からのリフレッシュ活性化信号 REF1 および REF2 とに従ってメモリセルアレイ 1 の行選択に関連する動作を制御する行系制御回路 12 と、外部からのアドレス信号 EXAD を受けるアドレス入力回路 14 と、リフレッシュ制御回路 10 からのリフレッシュアドレス選択信号 QSEL に従ってアドレス入力回路 14 からのアドレス信号とリフレッシュアドレス QAD1 および QAD2 を選択して、内部行アドレス信号 RAD を生成して第 1 および第 2 行選択回路 2 および 4 へ与えるアドレス選択回路（MUX）16 を含む。

## 【 0 0 3 9 】

コマンドデコード回路 8 は、例えばクロック信号に同期して外部からのコマンド CMD をデコードし、このコマンド CMD が指定する動作モードを指示する動作モード指示信号をワンショットのパルス信号の形態で発生する。

## 【 0 0 4 0 】

リフレッシュ制御回路 10 は、それぞれリフレッシュアドレスの発生周期が異なる第 1 リフレッシュアドレス発生回路 20a と第 2 リフレッシュアドレス発生

回路 2 0 b を含む。第 1 リフレッシュアドレス発生回路 2 0 a は、長い周期（ピリオド）でリフレッシュアドレス信号 Q A D 1 を生成し、第 2 リフレッシュアドレス発生回路 2 0 b は、短い周期でリフレッシュアドレス Q A D 2 を生成する。これらの第 1 および第 2 リフレッシュアドレス発生回路 2 0 a および 2 0 b のアドレス発生周期は、プログラム可能である。

## 【 0 0 4 1 】

したがって、このリフレッシュ制御回路 1 0 内部に、それぞれリフレッシュアドレスの発生周期の異なるリフレッシュアドレス発生回路 2 0 a および 2 0 b を設けることにより、メモリセルアレイ 1 の各行のポーズリフレッシュ特性（データ保持特性）に応じてリフレッシュアドレスを生成してリフレッシュを実行することができる。

## 【 0 0 4 2 】

行選択回路 2 および 4 において、各行毎にリフレッシュアドレス Q A D 1 および Q A D 2 のいずれに従って対応の行（ワード線）を選択するかをプログラムすることにより、各行のポーズリフレッシュ特性（データ保持特性）に応じてリフレッシュサイクルを設定することができる。特に、ポーズリフレッシュ特性不良の行は、その数が少ないため、残りのポーズリフレッシュ特性良のメモリセル行のリフレッシュサイクルを長くすることにより、セルフリフレッシュモード時のリフレッシュ回数を低減することができ、消費電流を低減することができる。

## 【 0 0 4 3 】

図 2 は、図 1 に示すリフレッシュ制御回路 1 0 の構成を概略的に示す図である。図 2 において、リフレッシュ制御回路 1 0 は、図 1 に示すコマンドデコード回路 8 からのセルフリフレッシュモード指示信号 S E L F とセルフリフレッシュ終了指示信号 R F E N D に従ってセルフリフレッシュモード設定信号 S L R E F を生成するセルフリフレッシュモード設定回路 2 2 と、セルフリフレッシュモード設定信号 S L R E F の活性化に応答して発振動作を行ない、2 相のクロック信号 C K L および C K T を生成するクロック発生回路 2 4 と、クロック信号 C K T および C K L をカウントし、そのカウント値が所定値に到達する毎にリフレッシュ要求 P H Y S 1 を発行する第 1 プログラマブルリフレッシュタイマ 2 6 a と、リ



フレッシュ要求 P H Y S 1 の活性化に応答してリフレッシュ活性化信号 R E F 1 を所定期間活性化する第 1 リフレッシュ活性化回路 2 8 a と、このリフレッシュ活性化信号 R E F 1 に従ってリフレッシュアドレス Q A D 1 を更新し、かつリフレッシュアドレス選択信号 Q A D S E L 1 を生成する第 1 リフレッシュアドレス発生回路 2 0 a を含む。

## 【 0 0 4 4 】

セルフリフレッシュモード設定回路 2 2 は、たとえば、セット／リセットフリップフロップで構成され、セルフリフレッシュモード指示信号 S E L F の活性化に応答してセルフリフレッシュモード設定信号 S L R E F を H レベルの活性状態に設定し、セルフリフレッシュ完了指示信号 R F E N D の活性化に従って、セルフリフレッシュモード設定信号 S L R E F を非活性状態にリセットする。

## 【 0 0 4 5 】

クロック発生回路 2 4 は、活性化時、所定の周期で 2 相のクロック信号 C K T および C K L を生成する。第 1 プログラマブルリフレッシュタイマ 2 6 a は、そのカウント値がプログラム可能であり、カウント値がプログラム値に到達するごとに、リフレッシュ要求 P H Y S 1 を発行する。このリフレッシュ要求 P H Y S 1 は、ポーズリフレッシュ特性が良好なメモリセルをリフレッシュするために用いられ、この良ポーズリフレッシュ特性に応じた最適なりフレッシュ周期に第 1 プログラマブルリフレッシュタイマ 2 6 a のカウント値が設定される。従って、良ポーズリフレッシュ特性のメモリセルのリフレッシュサイクルを長くすることにより、セルフリフレッシュモード時のリフレッシュ回数を低減し、平均消費電流を低減する。

## 【 0 0 4 6 】

第 1 リフレッシュ活性化回路 2 8 a は、リフレッシュ要求 P H Y S 1 が発行されると、所定期間、リフレッシュ活性化信号 R E F 1 を活性化し、ポーズリフレッシュ特性の優れたメモリセルに対するリフレッシュ動作を活性化する。

## 【 0 0 4 7 】

第 1 リフレッシュアドレス発生回路 2 0 a は、リフレッシュアドレス Q A D 1 が、各リフレッシュ動作ごとに更新され、したがって、ポーズリフレッシュ特性

の優れたメモリセルに対するアドレスは、リフレッシュ要求 P H Y S 1 の発行周期で更新される。

## 【 0 0 4 8 】

リフレッシュ制御回路 1 0 は、さらに、クロック発生回路 2 4 からのクロック信号 C K T および C K L をカウントし、所定の周期（ピリオド）でリフレッシュ要求 P H Y S 2 を発行する第 2 プログラマブルリフレッシュタイマ 2 6 b と、リフレッシュ要求 P H Y S 2 の発行に応答してリフレッシュ活性化信号 R E F 2 を所定期間活性化する第 2 リフレッシュ活性化回路 2 8 b と、第 2 リフレッシュ活性化回路 2 8 b からのリフレッシュ活性化信号 R E F 2 に従って、リフレッシュアドレス Q A D 2 を更新し、かつリフレッシュアドレス選択信号 Q A D S E L 2 を生成する第 2 リフレッシュアドレス発生回路 2 0 b を含む。

## 【 0 0 4 9 】

この第 2 プログラマブルリフレッシュタイマ 2 6 b も、リフレッシュ要求 P H Y S 2 の発行周期をプログラムすることができる。したがって、ボードレベルでのテスト時においてポーズリフレッシュ特性不良が検出されたメモリセルに対して、最適なリフレッシュ周期（ピリオド）でリフレッシュ要求 P H Y S 2 を発行する。

## 【 0 0 5 0 】

第 2 リフレッシュ活性化回路 2 8 b および第 2 リフレッシュアドレス発生回路 2 0 b の動作は、第 1 リフレッシュ活性化回路 2 8 a および第 1 リフレッシュアドレス発生回路 2 0 a と同じである。したがって、リフレッシュ要求 P H Y S 2 が発行されたときには、リフレッシュ活性化信号 R E F 2 が活性化され、ポーズリフレッシュ特性不良のメモリセルに対するリフレッシュが実行される。リフレッシュ要求 P H Y S 2 の発行周期を、リフレッシュ要求 P H Y S 1 の発行周期よりも短くすることにより、ポーズリフレッシュ特性不良のメモリセルのリフレッシュサイクルを短くすることができ、確実に、データを保持することができる。ポーズリフレッシュ特性不良のメモリセルの数は、ポーズリフレッシュ特性良のメモリセルの数よりも遥かに少ない。従来は、このポーズリフレッシュ不良のメモリセルに応じて、リフレッシュサイクルが設定される。従って、ポーズリフ

レッシュ特性不良のメモリセルのリフレッシュサイクルを短くしても、全体として、リフレッシュ回数の増加を抑制することができ、平均消費電流を低減することができる。

#### 【 0 0 5 1 】

図 3 は、図 2 に示すリフレッシュ制御回路 1 0 の動作を示すタイミング図である。以下、図 3 を参照して、図 2 に示すリフレッシュ制御回路 1 0 の動作を簡単に説明する。

#### 【 0 0 5 2 】

セルフリフレッシュ指示信号 S E L F が活性化されると、図 2 に示すセルフリフレッシュモード設定回路 2 2 は、セルフリフレッシュモード設定信号 S L R E F を H レベルの活性状態に設定する。応じて、クロック発生回路 2 4 が活性化され、2 相のクロック信号 C K L および C K T を生成する。これらのクロック信号 C K L および C K T に従って所定の間隔で、リフレッシュ要求 P H Y S 1 および P H Y S 2 がそれぞれ発行される。

#### 【 0 0 5 3 】

ポーズリフレッシュ特性が良好なメモリセルに対しては、リフレッシュ要求 P H Y S 1 が、リフレッシュピリオド  $t_{REFG}$  で発行され、ポーズリフレッシュ特性不良のメモリセルに対してはリフレッシュ要求 P H Y S 2 が、リフレッシュピリオド  $t_{REFP}$  で発行される。リフレッシュピリオド  $t_{REFG}$  は、リフレッシュピリオド  $t_{REFP}$  よりも長い。

#### 【 0 0 5 4 】

ポーズリフレッシュ特性不良のメモリセル、すなわちポーズリフレッシュ不良行の数が、優良ポーズリフレッシュ特性のワード線の数よりも十分少ない場合においても、第 2 リフレッシュアドレス発生回路 2 0 b は、不良特性に応じた短い周期でそのアドレスカウント値を更新しており、不良ポーズリフレッシュ行を、優良ポーズリフレッシュ行よりも短いサイクルでリフレッシュすることができ、不良ポーズリフレッシュメモリセルを確実に救済することができる。

#### 【 0 0 5 5 】

図 4 は、図 2 に示すクロック発生回路 2 4 の構成の一例を示す図である。図 4

において、クロック発生回路 2 4 は、セルフリフレッシュモード設定信号 S L R E F の活性化に応答して所定の周期で発振を行ないリフレッシュクロック信号 P H Y 0 を生成する発振回路 3 0 と、リフレッシュクロック信号 P H Y 0 を受けるインバータ 3 1 と、インバータ 3 1 の出力信号を受ける遅延回路 3 2 と、遅延回路 3 2 の出力信号を受けるインバータ 3 3 と、インバータ 3 3 の出力信号とリフレッシュクロック信号 P H Y 0 とを受ける N A N D 回路 3 4 と、N A N D 回路 3 4 の出力信号を反転してクロック信号 C K T を生成するインバータ 3 5 と、インバータ 3 3 の出力信号とリフレッシュクロック信号 P H Y 0 とを受ける N O R 回路 3 6 と、N O R 回路 3 6 の出力信号を受けるインバータ 3 7 と、インバータ 3 7 の出力信号を反転してクロック信号 C K L を生成するインバータ 3 8 を含む。

## 【 0 0 5 6 】

遅延回路 3 2 は、偶数段の縦続接続されるインバータで構成され、与えられた信号を所定時間遅延する。ここで、インバータ 3 1 および 3 3 の遅延時間は、遅延回路 3 2 の遅延時間に較べて無視する。

## 【 0 0 5 7 】

インバータ 3 1 および 3 3、遅延回路 3 2、N A N D 回路 3 4 およびインバータ 3 5 により、立上がり遅延回路が形成され、またインバータ 3 1 および 3 3、遅延回路 3 2、N O R 回路 3 6、およびインバータ 3 7 により、立下がり遅延回路が形成され、インバータ 3 8 により、この立下がり遅延信号の極性が反転される。

## 【 0 0 5 8 】

図 5 は、図 4 に示すクロック発生回路 2 4 の動作を示すタイミング図である。以下、図 5 を参照して、図 4 に示すクロック発生回路 2 4 の動作について説明する。

## 【 0 0 5 9 】

セルフリフレッシュモード設定信号 S L R E F が L レベルのときには、発振回路 3 0 は非活性状態であり、リフレッシュクロック信号 P H Y 0 は、L レベルである。したがって、この状態においては、クロック信号 C K T は L レベル、クロック信号 C K L は H レベルである。

## 【 0 0 6 0 】

セルフリフレッシュモード設定信号 S L R E F が H レベルに立上がると、発振回路 3 0 が活性化され、所定の周期でリフレッシュクロック信号 P H Y 0 を生成する。リフレッシュクロック信号 P H Y 0 が H レベルに立上ってから、遅延回路 3 2 の有する遅延時間が経過すると、N A N D 回路 3 4 の両入力とともに H レベルとなり、クロック信号 C K T が H レベルに立上がる。リフレッシュクロック信号 P H Y S 0 が立ち下がると、N A N D 回路 3 4 の出力信号が H レベルに立上り、クロック信号 C K T が L レベルに立ち下がる。

## 【 0 0 6 1 】

また、リフレッシュクロック信号 P H Y S 0 の立上りに応答して N O R 回路 3 6 の出力信号が L レベルに立下り、応じてクロック信号 C K L が L レベルに立ち下がる。リフレッシュクロック信号 P H Y 0 の立下がると、遅延回路 3 2 の有する遅延時間の経過後に N O R 回路 3 6 の出力信号が H レベルとなり、応じてクロック信号 C K L が H レベルに立上る。

## 【 0 0 6 2 】

したがって、リフレッシュクロック信号 P H Y 0 の立上がりおよび立下がりを遅延してクロック信号 C K T および C K L を生成することにより、互いに重ならない 2 相のクロック信号をリフレッシュクロック信号 P H Y 0 から生成することができ、リフレッシュタイマ 2 6 a および 2 6 b ( 図 2 参照 ) において正確に、カウント動作を行なって、所定のプログラムされた周期でリフレッシュ要求を発行することができる。

## 【 0 0 6 3 】

図 6 は、図 2 に示すプログラマブルリフレッシュタイマ 2 6 a および 2 6 b の構成を概略的に示す図である。これらのプログラマブルリフレッシュタイマ 2 6 a および 2 6 b は同一構成を有するため、図 6 においては、1 つのプログラマブルリフレッシュタイマ 2 6 の構成を示す。

## 【 0 0 6 4 】

図 6 において、プログラマブルリフレッシュタイマ 2 6 は、リフレッシュ要求発行周期をプログラムするリフレッシュピリオドプログラム回路 4 0 と、クロッ

ク信号CKTをカウントし、このリフレッシュピリオドプログラム回路40のプログラム値MULとカウント値が一致したときに、その多ビット出力カウント値CYのビットをすべてHレベルに設定するカウント回路41と、セルフリフレッシュモード設定信号SLREFの活性化時活性化され、カウント回路41のカウント値CYとクロック信号CKLとに従ってリフレッシュ要求PHYSを発行するカウント制御回路42を含む。

#### 【0065】

カウント制御回路42は、カウント値プリセット信号PRESETを、多ビットカウント値CYの全ビットがHレベルとなるとHレベルに設定する。カウント回路41は、このプリセット信号PRESETの活性化に従って、リフレッシュピリオドプログラム回路40にプログラムされたリフレッシュピリオドをプリセットする。このカウント回路41は、非同期カウント回路であり、クロック信号CKTを最下位ビットカウンタでカウントし、そのカウント値を順次上位ビットへシフトする。これらのプログラム値MULおよびカウント値CYはマルチビット信号であり、利用可能なリフレッシュ周期に応じて、そのビット数が設定される。

#### 【0066】

リフレッシュピリオドプログラム回路40において、適当なリフレッシュピリオドをプログラムすることにより、リフレッシュ要求PHYS1およびPHYS2を所望の周期で発行することができる。

#### 【0067】

図7は、図6に示すカウント制御回路42の構成の一例を示す図である。図7において、カウント制御回路42は、カウント回路41のカウントビットCY<0>およびCY<4>を受けるNANDゲート50と、カウントビットCY<1>-CY<3>を受けるNANDゲート51と、NANDゲート50および51の出力信号を受けるNORゲート52と、クロック信号CKLとセルフリフレッシュモード設定信号SLREFとを受けるNANDゲート53と、NANDゲート53の出力信号を受けるインバータ54と、インバータ54の出力信号とNORゲート52の出力信号と接地電圧とを受ける複合ゲート55と、複合ゲート5

5 の出力信号に応答してセットされかつインバータ 5 4 の出力信号に応答してリセットされる NAND 型フリップフロップ 5 6 と、NAND 型フリップフロップ 5 6 の出力信号をバッファ処理してリフレッシュ要求 P H Y S を生成するバッファ回路 5 7 と、セット／リセットフリップフロップ 5 6 の一方の出力とセルフリフレッシュモード設定信号 S L R E F を受ける NAND ゲート 5 8 と、NAND ゲート 5 8 の出力信号をバッファ処理してプリセット信号 P R E S E T を生成するバッファ回路 5 9 を含む。

## 【 0 0 6 8 】

複合ゲート 5 5 は、等価的に、NOR ゲート 5 2 の出力信号と接地電圧とを受ける OR ゲートと、OR ゲートの出力信号とインバータ 5 4 の出力信号を受ける NAND ゲートを含む。

## 【 0 0 6 9 】

カウントビット C Y < 4 : 0 > は、カウント回路 4 1 のカウント値がリフレッシュピリオドプログラム回路 4 0 の設定するプログラム値 M U L と一致した場合にすべて H レベルとなる。図 6 に示すように、カウント回路 4 1 はクロック信号 C K T をカウントしており、したがって、カウントビット C Y < 4 : 0 > は、クロック信号 C K T に従って変化する。

## 【 0 0 7 0 】

図 8 は、図 7 に示すカウント制御回路 4 2 の動作を示すタイミング図である。以下、図 8 を参照して、図 7 に示すカウント制御回路 4 2 の動作について説明する。

## 【 0 0 7 1 】

セルフリフレッシュモード設定信号 S L R E F が L レベルのときには、NAND ゲート 5 8 の出力信号は H レベルであり、プリセット信号 P R E S E T は H レベルである。一方、NAND ゲート 5 3 の出力信号が H レベルとなり、インバータ 5 4 の出力信号が L レベルであり、複合ゲート 5 5 の出力信号が H レベルであり、フリップフロップ 5 6 がリセット状態にある。したがってリフレッシュ要求 P H Y S は L レベルに固定される。

## 【 0 0 7 2 】

セルフリフレッシュモード時には、セルフリフレッシュモード設定信号 S L R E F が H レベルに立上がり、NANDゲート 5 3 および 5 8 はともにインバータとして動作する。フリップフロップ 5 6 は、リセット状態にあるため、NANDゲート 5 8 の出力信号が L レベルとなり、プリセット信号 P R E S E T は H レベルに設定される。

## 【 0 0 7 3 】

カウント回路 4 1 がクロック信号 C K T をカウントし、そのカウント値がプログラム値 M U L に一致すると、カウントビット C Y < 4 : 0 > がすべて H レベルとなり、NANDゲート 5 0 および 5 1 の出力信号が H レベルとなる。したがって、NORゲート 5 2 の出力信号が H レベルとなる。クロック信号 C K L が H レベルに立上がると、NANDゲート 5 3 の出力信号が L レベルとなり、インバータ 5 4 の出力信号が応じて H レベルとなる。複合ゲート 5 5 の出力信号が L レベルとなり、フリップフロップ 5 6 がセットされ、リフレッシュ要求 P H Y S が H レベルとなる。

## 【 0 0 7 4 】

このとき、NANDゲート 5 8 へは、フリップフロップ 5 6 から L レベルの信号が与えられるため、プリセット信号 P R E S E T も H レベルとなる。このプリセット信号 P R E S E T に従って、図 6 に示すカウント回路 4 1 のカウント値のリセットが行なわれ、ゲート 5 2 の出力信号が再び L レベルとなる。リフレッシュ要求 P H Y S およびプリセット信号 P R E S E T の H レベル期間は、クロック信号 C K L により決定される。

## 【 0 0 7 5 】

このカウント制御回路 4 2 でカウント回路 4 1 のカウント値をプログラム値 M U L までカウントしたかを判定し、その判定結果に基づいて、リフレッシュ要求 P H Y S を発行し、またカウント回路 4 1 のカウント値を初期化する。リフレッシュ要求 P H Y S がクロック信号 C K L に従って発行され、図 6 に示すカウント回路 4 1 が、クロック信号 C K T に従ってカウント動作を行っており、正確に、リフレッシュ要求 P H Y S の発行後にカウント回路 4 1 のカウント値を初期化して、カウント動作を開始させることができる。



## 【 0 0 7 6 】

図 9 は、図 6 に示すリフレッシュピリオドプログラム回路 4 0 の上位ビット  $k$  のヒューズプログラム回路の構成を示す図である。図 9 においても、プログラムカウンタ値  $MUL$  は 5 ビットであり、上位 3 ビット  $MUL < 4 : 2 >$  に対するプログラム回路の構成を示す。

## 【 0 0 7 7 】

図 9 において、リフレッシュピリオドプログラム回路 4 0 のヒューズプログラム回路は、電源ノードに結合されるヒューズ素子 6 0 と、ヒューズ素子 6 0 の他方端の信号  $FL < k >$  を受けるインバータ 6 1 と、インバータ 6 1 の出力信号を受けるインバータ 6 2 と、インバータ 6 2 の出力信号を反転してカウンタプログラムビット  $MUL < k >$  を生成するインバータ 6 3 と、インバータ 6 1 の入力と接地ノードの間に接続されかつそのゲートにインバータ 6 1 の出力信号を受ける N チャネル MOS トランジスタ（絶縁ゲート型電界効果トランジスタ）6 5 と、インバータ 6 1 の入力と接地ノードの間に接続されかつそのゲートにバイアス電圧  $V_{bi}$  を受ける N チャネル MOS トランジスタ 6 4 を含む。

## 【 0 0 7 8 】

バイアス電圧  $V_{bi}$  は十分低い電圧であり、MOS トランジスタ 6 4 は、電流駆動力は十分に小さく、プルダウン抵抗として機能する。

## 【 0 0 7 9 】

この図 9 に示すヒューズプログラム回路の構成において、ヒューズ素子 6 0 が非溶断状態のときには、ヒューズプログラム信号  $FL < k >$  は H レベルであり、インバータ 6 1 の出力信号が L レベルとなる。したがって、カウンタプログラムビット  $MUL < k >$  は、L レベルとなる。一方、ヒューズ素子 6 0 を溶断した場合には、ヒューズプログラム信号  $FL < k >$  が L レベルとなり、インバータ 6 1 の出力信号が H レベルとなる。ヒューズプログラム信号  $FL < k >$  が、インバータ 6 1 および MOS トランジスタ 6 5 により接地電圧レベルに固定され、応じてカウンタプログラムビット  $MUL < k >$  は、H レベルに設定される。

## 【 0 0 8 0 】

図 1 0 は、図 6 に示すリフレッシュピリオドプログラム回路 4 0 の下位ビット

$j = \text{MUL} \langle 1 : 0 \rangle$ に対するヒューズプログラム回路の部分の構成を示す図である。この図 1 0 においても、図 9 に示すヒューズプログラム回路と同様、下位ヒューズプログラム回路は、電源ノードに結合されるヒューズ素子 6 6 と、ヒューズ素子 6 6 のヒューズプログラム信号  $\text{FL} \langle j \rangle$  を反転するインバータ 6 7 と、インバータ 6 7 の出力信号を反転してカウントプログラムビット  $\text{MUL} \langle j \rangle$  を生成するインバータ 6 8 と、インバータ 6 8 の出力信号を受けるインバータ 6 9 と、インバータ 6 7 の出力信号が H レベルのときに、ヒューズプログラム信号  $\text{FL} \langle j \rangle$  を接地電圧レベルに固定する N チャネル MOS トランジスタ 7 1 と、バイアス電圧  $V_{bi}$  に従ってインバータ 6 7 の入力を接地電圧レベルにプルダウンする N チャネル MOS トランジスタ 7 0 を含む。

#### 【0081】

この図 1 0 に示すヒューズプログラム回路の構成においては、インバータ 6 9 の出力は利用されず、前段のインバータ 6 8 の出力信号が利用される。

#### 【0082】

この図 1 0 に示すヒューズプログラム回路の構成においては、ヒューズ素子 6 6 が非溶断状態の場合には、ヒューズプログラム信号  $\text{FL} \langle j \rangle$  は、H レベルであり、インバータ 6 7 の出力信号が L レベルとなり、応じてカウントプログラムビット  $\text{MUL} \langle j \rangle$  が H レベルとなる。ヒューズ素子 6 6 が溶断されると、ヒューズプログラム信号  $\text{FL} \langle j \rangle$  が L レベルとなり、インバータ 6 7 の出力信号が H レベルとなる。したがって、この状態においては、カウントプログラムビット  $\text{MUL} \langle j \rangle$  は、L レベルとなる。

#### 【0083】

ヒューズプログラムによる下位プログラムカウントビット  $\text{MUL} \langle 1 : 0 \rangle$  と上位プログラムビット  $\text{MUL} \langle 4 : 2 \rangle$  で、ヒューズ素子の溶断／非溶断と論理を反転させる。これは、リフレッシュピリオドの最小値を設定し、またカウントプログラムビット  $\text{MUL} \langle 4 : 0 \rangle$  それぞれについて同一回路パターンを繰返し、レイアウトを容易とするために、同一回路構成が用いられる。

#### 【0084】

図 1 1 は、このカウントプログラムビットとヒューズ素子の溶断／非溶断とリ

フレッシュピリオドの関係を示す図である。図 1 1 において、○印はヒューズ素子の非溶断状態を示し、×印が、ヒューズ素子の溶断状態を示す。ヒューズ素子が、すべて非溶断状態の場合には、プログラムビット  $MUL<4:0>$  は、(L L L H H) となり、カウント値 4 を示す。カウントビット  $MUL<2>$  に対するヒューズ素子を溶断すると、カウントプログラムビット  $MUL<4:0>$  は (L L H H H) となりカウント値 8 を示す。カウントビット  $MUL<2>-MUL<4>$  に対するヒューズ素子をすべて溶断した場合、カウントプログラムビット  $MUL<4:0>$  は、(H H H H H) となり、カウント値 3 2 を示す。

## 【 0 0 8 5 】

このプログラムカウントビット  $MUL<4:0>$  により、リフレッシュ周期を決定するカウント回路のクロック信号カウント数が設定される。したがって、ヒューズ素子の溶断数が多くなるにつれて、リフレッシュ要求の発行周期が長くなる。従って、カウント回路 4 1 のカウント値をプログラムする事により、ポーズリフレッシュ特性に応じてリフレッシュ要求の発行ピリオドを設定することができる。

## 【 0 0 8 6 】

なお、図 9 および 1 0 においては、プログラムカウントビットは 5 ビットであるが、そのビット数は、カウント回路 4 1 のビット数に応じて設定される。

## 【 0 0 8 7 】

図 1 2 は、図 6 に示すカウント回路 4 1 の構成を概略的に示す図である。図 1 2 において、カウント回路 4 1 は、縦続接続される 5 段の 1 ビットカウンタ 7 2 - 7 6 を含む。これらの 1 ビットカウンタ 7 2 - 7 6 へは、共通にプリセット信号  $PRESET$  が与えられ、最下位ビットの 1 ビットカウンタ 7 2 へは、クロック信号  $CKT$  が与えられる。これらの 1 ビットカウンタ 7 2 - 7 6 へは、それぞれ、カウントプログラムビット  $MUL<0>-MUL<4>$  がそれぞれ与えられ、プリセット信号  $PRESET$  に従ってこれらの 1 ビットカウンタ 7 2 - 7 6 にプリセットされる。

## 【 0 0 8 8 】

1 ビットカウンタ 7 2 - 7 6 は、それぞれ、カウントビット  $CY<0>-CY$

＜4＞を出力する。1ビットカウンタ72は、クロック信号CKTの活性化（立上り）に应答してそのカウントビットCY＜0＞の論理レベルを変更する。残りの上位の1ビットカウンタ73－76は、下位ビットのHレベルからLレベルへの変化に应答してその出力ビットの論理レベルを変化させる。これらの1ビットカウンタ72－76は、カウントプログラムビットMUL＜0＞－MUL＜4＞を初期カウント値として、カウントダウン動作を行ない、そのカウント値が、カウントプログラム値MULに一致すると、カウントビットCY＜0＞－CH＜4＞をすべてHレベルに設定する。

## 【0089】

図13は、図12に示す1ビットカウンタ72の構成の一例を示す図である。この図13において、1ビットカウンタ72は、クロック信号CKTをインバータ72kにより反転して補のクロック信号ZCKTを生成し、相補クロック信号CKTおよびZCKTに従ってカウント動作を行なう。

## 【0090】

図13において、1ビットカウンタ72は、カウントプログラムビットMUL＜0＞を受けるインバータ72aと、プリセット信号PRESETを受けるインバータ72bと、プリセット信号PRESETとインバータ72bの出力信号とに従って導通し、導通時、インバータ72aの出力信号をノードND1に伝達するCMOSトランスマッションゲート72cと、ノードND1の出力信号を受けるインバータ72dと、クロック信号CKTがLレベルのときに活性化され、インバータ72dの出力信号をノードND1へ伝達するトライステートインバータ72kと、インバータ72dの出力信号を反転するインバータ72eと、インバータ72eの出力信号を反転してカウントビットCY＜0＞を生成するインバータ72fを含む。

## 【0091】

CMOSトランスマッションゲート72cは、プリセット信号PRESETがHレベルのときに導通し、インバータ72aからのカウントプログラムビットMUL＜0＞の反転値をノードND1に伝達する。

## 【0092】

1ビットカウンタ72は、さらに、クロック信号CKTがLレベルのときに導通し、インバータ72eの出力信号を伝達するCMOSトランスミッションゲート72gと、CMOSトランスミッションゲート72gを通過した信号を受けるインバータ72hと、クロック信号CKTがHレベルのときに活性化され、インバータ72hの出力信号をインバータ72hの入力へ伝達するトライステートインバータ72iと、クロック信号CKTがHレベルのとき導通し、導通時、インバータ72hの出力信号をノードND1に伝達するCMOSトランスミッションゲート72jを含む。

## 【0093】

この1ビットカウンタ72は、したがって、クロック信号CKTに従って、そのカウントビットを順次反転して内部で転送して、カウントビットCY<0>のビット値を更新する。

## 【0094】

図14は、図13に示す1ビットカウンタの動作を示すタイミング図である。以下、図14を参照して、図13に示す1ビットカウンタ72の動作について説明する。

## 【0095】

カウントプログラムビットMUL<0>は、Hレベルである。プリセット信号PRESETがHレベルになると、CMOSトランスミッションゲート72cが導通し、ノードND1がLレベルにプリセットされる。

## 【0096】

インバータ72dおよびトライステートインバータ72kは、クロック信号CKTがLレベルのときにラッチ回路を構成し、インバータ72hおよびトライステートインバータ72iが、クロック信号CKTがHレベルのときにラッチ回路を構成する。CMOSトランスミッションゲート72gが、クロック信号CKTがLレベルのときに導通し、CMOSトランスミッションゲート72jは、クロック信号CKTがHレベルのときに導通する。

## 【0097】

したがって、インバータ72eの出力信号は、クロック信号CKTの1クロッ

クサイクル経過した後に、ノードND1に伝達される。すなわち、ノードND1の信号電位は、クロック信号CKTが立上がるごとにその論理レベルが変化し、応じてカウントビットCY<0>も、クロック信号CKTの立上がりに対応してその論理レベルが変化する。クロック信号CKTの数に応じて、カウントビットCY<0>のビット値を設定することができる。

## 【0098】

図15は、図12に示す1ビットカウンタ73-76の構成を示す図である。1ビットカウンタ73-76は、すべて同一構成を有するため、図15においては、1ビットカウンタCNT Rを代表的に示す。

## 【0099】

図15において、1ビットカウンタCNT Rは、カウントプログラムビットMUL<m+1>を受けるインバータ80と、プリセット信号PRESETとカウントビットCY<m>とを受けるNANDゲート81と、NANDゲート81の出力信号を受けるインバータ82と、NANDゲート81の出力信号とインバータ82の出力信号に従って選択的に導通し、導通時、カウントプログラムビットMUL<m+1>をノードND2へ伝達するCMOSトランスミッションゲート83と、プリセット信号PRESETと補のカウントビットZCY<m>を受けるNANDゲート84と、NANDゲート84の出力信号を受けるインバータ85と、NANDゲート84の出力信号とインバータ85の出力信号に従って選択的に導通し、導通時、インバータ80の出力信号をノードND3へ伝達するCMOSトランスミッションゲート86とを含む。補のカウントビットZCY<m>は、インバータを用いて、カウントビットCY<m>から生成される。

## 【0100】

1ビットカウンタCNT Rは、さらに、ノードND3上の信号を反転するインバータ87と、カウントビットCY<m>がLレベルのときに活性化され、活性化時インバータ87の出力信号をノードND3へ伝達するトリステートインバータ88と、インバータ87の出力信号を受けるインバータ89と、インバータ89の出力信号を反転してカウントビットCY<m+1>を生成するインバータ90と、カウントビットCY<m>がLレベルのとき導通し、導通時、インバー

タ 8 9 の出力信号をノードND 2 へ伝達するCMOSトランスミッションゲート 9 1 と、ノードND 2 上の信号を反転するインバータ 9 2 と、カウントビットCY<m>がHレベルのとき導通し、導通時インバータ 9 2 の出力信号をノードND 3 へ伝達するCMOSトランスミッションゲート 9 4 と、カウントビットCY<m>がHレベルのときに活性化され、活性化時インバータ 9 2 の出力信号をノードND 2 へ伝達するトリステートインバータ 9 3 を含む。

## 【0 1 0 1】

トリステートインバータ 8 8 および 9 3 は、それぞれ、活性化時、インバータ 8 7 および 9 2 とラッチ回路を構成する。CMOSトランスミッションゲート 9 1 および 9 4 は、互いに相補的に導通する。したがって、ノードND 3 の信号がカウントビットCY<m>の1サイクル期間遅れてノードND 2 へ伝達される。この1ビットカウンタCNT Rは、下位カウントビットCY<m>が立上がるごとに、そのカウントビットCY<m+1>の論理レベルを変化させる。

## 【0 1 0 2】

図 1 6 および図 1 7 は、図 1 5 に示す1ビットカウンタCNT Rの動作を示すタイミング図である。以下、図 1 6 および図 1 7 を参照して、図 1 5 に示す1ビットカウンタCNT Rの動作について説明する。

## 【0 1 0 3】

まず、図 1 6 を参照して、カウントプログラムビットMUL<m+1>がHレベルに設定されている場合の動作について説明する。なお、以下の説明においては、下位の1ビットカウンタは、プリセット時、カウントビットCY<m>がHレベルにプリセットされる場合を考える。

## 【0 1 0 4】

今、ノードND 2 がLレベルの状態を考える。この状態において、カウントビットCY<m>がHレベルに立上がると、CMOSトランスミッションゲート 9 4 が導通し、ノードND 3 がHレベルとなり、応じてカウントビットCY<m+1>がLレベルに立下がる。カウントビットCY<m>はHレベルであり、CMOSトランスミッションゲート 9 1 は、非導通状態である。

## 【0 1 0 5】

カウントビットCY<m>がLレベルに立下がると、CMOSトランスミッションゲート91が導通し、ノードND2が、HレベルのカウントビットCY<m+1>に従ってHレベルとなる。次いで、カウントビットCY<m>がHレベルに立上がると、CMOSトランスミッションゲート94が導通し、ノードND3がトライステートインバータ92によりLレベルとなり、応じてカウントビットCY<m+1>がHレベルとなる。

## 【0106】

この状態で、カウントビットCY<4:0>がすべてHレベルのときには、プリセット信号PRESETが活性化される。カウントビットCY<m>が、Hレベルにプリセットされるため、NANDゲート81の出力信号がLレベルとなり、CMOSトランスミッションゲート83が導通し、ノードND2がカウントプログラムビットMUL<m+1>に従ってHレベルにプリセットされる。このとき、CMOSトランスミッションゲート94は導通状態にあるため、ノードND3が、インバータ92によりLレベルにプリセットされ、応じてカウントビットCY<m+1>もHレベルにプリセットされる。

## 【0107】

この状態で、カウントビットCY<m>がLレベルに立下がると、CMOSトランスミッションゲート91が導通し、ノードND2が、ノードND3のLレベルに従ってHレベルに設定される。この時には、ZCMOSトランスミッションゲート94は非導通状態であり、カウントビットCY<m+1>は変化しない。

## 【0108】

次いで、カウントビットCY<m>がHレベルに立上がると、CMOSトランスミッションゲート94が導通し、ノードND3の電位がHレベルとなり、応じてカウントビットCY<m+1>がLレベルとなる。以降、カウントビットCY<m>が立上がるごとに、カウントビットCY<m+1>の論理レベルが変化する。

## 【0109】

次に、図17を参照して、カウントプログラムビットMUL<m+1>がLレベルに設定される場合の動作について図17を参照して説明する。プリセット信



号 P R E S E T が H レベルに立上がるまでの動作は、図 1 6 に示すタイミング図の動作と同じである。カウントビットがすべて H レベルとなり、プリセット信号 P R E S E T が H レベルに立上がると、C M O S トランスミッションゲート 8 3 を介してカウントプログラムビット M U L < m + 1 > がノード N D 2 に伝達され、ノード N D 2 が H レベルから L レベルに立下がる。このとき、C M O S トランスミッションゲート 9 4 が導通状態であり、応じてノード N D 3 が H レベルとなり、カウントビット C Y < m + 1 > が L レベルにプリセットされる。

【 0 1 1 0 】

カウントビット C Y < m > が L レベルに立下がると、C M O S トランスミッションゲート 9 1 が導通し、ノード N D 2 が H レベルとなる。次のカウントビット C Y < m > の立上がりに対応して、C M O S トランスミッションゲート 9 4 が導通し、ノード N D 3 の電位が L レベルとなり、カウントビット C Y < m + 1 > が H レベルに立上がる。以降、カウントビット C Y < m > が H レベルとなる毎に、カウント C Y < m + 1 > の論理レベルが変化する。

【 0 1 1 1 】

カウントビット C Y < m > が L レベルにプリセットされる場合には、プリセット信号 P R E S E T に従って、N A N D ゲート 8 4 により、C M O S トランスミッションゲート 8 6 が導通し、ノード N D 3 へ、カウントプログラムビット M U L < m + 1 > の反転値が伝達される。カウントビット C Y < m > が L レベルにプリセットされ、またカウントビット C Y < m + 1 > も L レベルにプリセットされる場合、カウントビット C Y < m > の立上がりに対応してカウントビット C Y < m + 1 > が H レベルに立上がる。

【 0 1 1 2 】

したがって、プログラムカウントビット M U L < 4 : 0 > が H レベルに設定された 1 ビットカウンタの範囲内で、カウント動作を行なうことができる。

【 0 1 1 3 】

図 1 8 および図 1 9 は、図 1 3 および図 1 5 に示す 1 ビットカウンタを用いて 5 ビットカウンタを構成した場合のカウント動作を具体的に示すタイミング図である。図 1 8 においては、カウントプログラムビット M U L < 4 : 0 > を “ L L

HHH” に設定した場合の動作を示す。この場合、カウントビット  $CY<2:0>$  がそれぞれ H レベルに設定され、カウントビット  $CY<4:3>$  が、L レベルに設定される。セルフリフレッシュカウント時においてセルフリフレッシュモード設定信号  $SLREF$  が H レベルに立上がり、プリセット信号  $PRESET$  が L レベルとなる。このプリセット信号  $PRESET$  が H レベルのときに、カウント回路の各ビットのプリセットが行なわれている。

## 【0114】

セルフリフレッシュモード時においてリフレッシュクロック信号  $PHY0$  に従って 2 相のクロック信号  $CKT$  および  $CKL$  が生成される。カウント回路 41 が、このクロック信号  $CKT$  に従ってカウント動作を行なう。図 12 に示す 1 ビットカウンタ 72 が、クロック信号  $CKT$  に従ってそのカウントビット  $CY<0>$  の論理レベルを更新する。以下上位の 1 ビットカウンタ 73 および 74 がそれぞれ下位の 1 ビットカウンタ 72 および 73 の出力カウントビット  $CY<0>$  および  $CY<1>$  に従って出力論理レベルを更新する。

## 【0115】

したがって、クロック信号  $CKT$  を 8 回カウントすると、ビット  $CY<2:0>$  がすべて H レベルとなる。カウントビット  $CY<2>$  が L レベルから H レベルに立上がると、カウントビット  $CY<3>$  が L レベルから H レベルに立上がる。このカウントビット  $CY<3>$  の立上がりに従ってまたカウントビット  $CY<4>$  も H レベルに立上がる。したがって、カウントビット  $CY<4:0>$  がすべて H レベルとなり、図 7 に示すカウント制御回路 42 からクロック信号  $CKL$  に同期してリフレッシュ要求  $PHYS$  が発行され、またプリセット信号  $PRESET$  が H レベルとなる。このプリセット信号  $PRESET$  に従って再びカウントビット  $CY<4:0>$  が初期状態に設定される。

## 【0116】

すなわち、このカウント回路 41 は、初期設定値からカウントダウン動作を行ない、カウント値がプログラムされたカウント値に到達したときに、リフレッシュ要求  $PHYS$  およびプリセット信号  $PRESET$  を発行する。

## 【0117】

プログラムカウンタビットMUL<4:0>においてLレベルに設定されたビットを除く領域をカウンタ範囲に設定して、プログラムカウンタ値を、カウンタすることができる。

#### 【0118】

図19は、図13および図15に示す1ビットカウンタを用いた5ビットカウンタ回路41の他の動作の例を示すタイミング図である。この図19に示す動作シーケンスにおいては、カウンタプログラムビットMUL<4:0>は、“LLLLHH”に設定される。したがって、セルフリフレッシュモード時において、セルフリフレッシュモード設定信号SLREFがHレベルに立上がり、プリセット信号PRESETがLレベルとなると、カウンタ範囲が2ビットカウンタ領域であり、クロック信号CKTを4回カウンタすると、カウンタビットCY<4:0>はすべてHレベルとなり、リフレッシュ要求PHYSおよびプリセット信号PRESSETを発行することができる。

#### 【0119】

したがって、このカウンタ回路41において、下位ビットの立上がりに対応してその上位出力カウンタビットの論理レベルを更新する非同期カウンタ回路を利用することにより、所望のカウンタ値をプログラムすることができ、所望の周期でリフレッシュ要求を発行することができる。

#### 【0120】

図20は、図2に示すリフレッシュ活性化回路28aおよび28bの構成の一例を示す図である。第1および第2リフレッシュ活性化回路28aおよび28bは同一構成を有するため、図20においては、リフレッシュ活性化回路28を、これらのリフレッシュ活性化回路28aおよび28bを総称的に示すためにその構成を示す。

#### 【0121】

リフレッシュ活性化回路28は、リフレッシュ要求PHYSを受けるインバータ100と、インバータ100の出力信号に対応してセットされるセット／リセットフリップフロップ101とセット／リセットフリップフロップ101の出力信号を受けるインバータ102と、インバータ102の出力信号を受け、リフレ

ッシュ活性化信号 R E F を生成するインバータ 1 0 3 と、インバータ 1 0 3 の出力信号を所定時間遅延する遅延回路 1 0 4 と、遅延回路 1 0 4 の出力信号とリフレッシュ活性化信号 R E F とを受ける AND 回路 1 0 5 と、AND 回路 1 0 5 の出力信号を所定時間遅延する遅延回路 1 0 6 と、遅延回路 1 0 6 の出力信号とリフレッシュ活性化信号 R E F を受ける AND 回路 1 0 7 と、AND 回路 1 0 7 の出力信号を所定時間遅延する遅延回路 1 0 8 と、遅延回路 1 0 8 の出力信号 D L Y を反転してセット／リセットフリップフロップ 1 0 1 をリセットするインバータ 1 0 8 を含む。

#### 【 0 1 2 2 】

このリフレッシュ活性化回路 2 8 において、リフレッシュ活性化信号 R E F の活性化期間は、遅延回路 1 0 4 、 1 6 および 1 0 8 の有する遅延時間により決定される。

#### 【 0 1 2 3 】

図 2 1 は、図 2 0 に示すリフレッシュ活性化回路 2 8 の動作を示す信号波形図である。以下、図 2 1 を参照して、この図 2 0 に示すリフレッシュ活性化回路 2 8 の動作について説明する。

#### 【 0 1 2 4 】

リフレッシュ要求 P H Y S が発行されると、インバータ 1 0 0 の出力信号が L レベルとなり、セット／リセットフリップフロップ 1 0 1 がセットされ、リフレッシュ活性化信号 R E F が H レベルとなる。

#### 【 0 1 2 5 】

このリフレッシュ活性化信号 R E F に従って、後に説明する行系制御回路において、行系回路を活性状態へ駆動するロウアドレスストローブ信号 R A S が活性状態へ駆動される。このロウアドレスストローブ信号 R A S に従って行選択が行なわれ、選択メモリセルのリフレッシュが実行される。リフレッシュ活性化信号 R E F が活性化されてから所定時間経過すると、遅延回路 1 0 8 の出力信号 D L Y が H レベルとなる。

#### 【 0 1 2 6 】

一方、ロウアドレスストローブ信号 R A S が活性化されて所定時間経過すると

、センスアンプ活性化信号 Z S O N M が活性化され、センス動作が行なわれる。所定時間が経過すると、ロウアドレスストローブ信号 R A S がセルフリフレッシュモード時 L レベルに立下がり、応じてセンスアンプ活性化信号 Z S O N M が非活性化状態の H レベルとなる。このセンスアンプ活性化信号 Z S O N M の非活性化により、N A N D ゲート 1 0 8 の出力信号が L レベルとなり、セット／リセットフリップフロップ 1 0 1 がリセットされ、リフレッシュ活性化信号 R E F が非活性化される。リフレッシュ活性化信号 R E F の非活性化から所定時間経過後、遅延回路 1 0 8 の出力信号 D L Y も L レベルとなる。

## 【 0 1 2 7 】

したがって、このリフレッシュ期間中、実際にメモリセルのデータのリフレッシュを行うリフレッシュ期間をリフレッシュ活性化信号 R E F で確保し、その期間内においてロウアドレスストローブ信号 R A S により、リフレッシュ動作を実行する。これにより、リフレッシュ期間中に他のコマンドが与えられ、内部動作が誤った状態に駆動されるのを防止する。また、リフレッシュ要求 P H Y S 1 および P H Y S 2 が並行して発行されても、これらのリフレッシュ動作が多重的に実行されるのを防止する。

## 【 0 1 2 8 】

図 2 2 は、図 1 に示す行系制御回路 1 2 に含まれるロウアドレスストローブ信号 R A S を発生する部分の構成の一例を示す図である。図 2 2 において、ロウアドレスストローブ信号発生部は、リフレッシュ活性化信号 R E F 1 および R E F 2 を受ける O R ゲート 1 1 0 と、O R ゲート 1 1 0 の出力信号の立上がりに対応して所定の時間幅を有するワンショットのパルスが発生するワンショットパルス発生回路 1 1 2 と、図 1 に示すコマンドデコード回路 8 からのアレイ活性化指示信号 A C T (行活性化指示信号 R A C T に対応) に応答してセットされかつプリチャージ動作指示信号 P R G に応答してリセットされるフリップフロップ ( F F ) 1 1 4 と、ワンショットパルス発生回路 1 1 2 の出力信号とフリップフロップ 1 1 4 の出力信号を受け、ロウアドレスストローブ信号 R A S を生成する O R 回路 1 1 6 を含む。

## 【 0 1 2 9 】

アレイ活性化指示信号 A C T は、アレイアクティブコマンドが印加され行選択指示が指示されると活性化される。このアレイ活性化指示信号 A C T は、図 1 に示す行活性化指示信号 R A C T に対応する。ここでは、プリチャージコマンド P R G との組を示すために、一般にアクティブコマンドに用いられる符号 A C T を使用する。

## 【 0 1 3 0 】

図 2 2 に示すように、セルフリフレッシュモード期間中は、ロウアドレスストロープ信号 R A S の活性化期間は、ワンショットパルス発生回路 1 1 2 の発生するパルスにより決定され、一方、通常動作モード時においては、アクティブコマンドが与えられてから、プリチャージコマンドが与えられるまでの期間により決定される。

## 【 0 1 3 1 】

図 2 3 は、図 2 に示すリフレッシュアドレス発生回路 2 0 a および 2 0 b の構成を概略的に示す図である。これらのリフレッシュアドレス発生回路 2 0 a および 2 0 b は同一構成を有するため、図 2 3 においては、リフレッシュアドレス発生回路 2 0 をこれらの代表として示す。

## 【 0 1 3 2 】

図 2 3 において、リフレッシュアドレス発生回路 2 0 は、アドレスストロープ信号 R A S とリフレッシュ活性化信号 R E F ( R E F 1 または R E F 2 ) とセンスアンプ活性化信号 Z S O N M とに従ってカウント更新信号 Q C U およびリフレッシュアドレス選択信号 Q A D S E L を生成するアドレス更新制御回路 1 2 0 と、アドレス更新制御回路 1 2 0 からの更新指示信号 Q C U に従ってカウント値を更新してリフレッシュアドレス Q A D ( Q A D 1 または Q A D 2 ) を生成するアドレスカウンタ 1 2 2 を含む。

## 【 0 1 3 3 】

ロウアドレスストロープ信号 R A S およびセンスアンプ活性化信号 Z S O N M は、リフレッシュ活性化信号 R E F 1 およびリフレッシュ活性化信号 R E F 2 に対して共通に生成される。リフレッシュ活性化信号 R E F に従って選択的にこれらのロウアドレスストロープ信号 R A S およびセンスアンプ活性化信号 Z S O N

Mを修飾して、リフレッシュを行なったアドレス発生回路においてリフレッシュアドレスを更新する。

#### 【 0 1 3 4 】

図 2 4 は、図 2 3 に示すアドレス更新制御回路 1 2 0 の構成の一例を示す図である。図 2 4 において、アドレス更新制御回路 1 2 0 は、センスアンプ活性化信号 Z S 0 N M を所定時間遅延する遅延回路 1 2 0 a と、遅延回路 1 2 0 a の出力信号とリフレッシュ活性化信号 R E F ( R E F 1 または R E F 2 ) とを受ける A N D ゲート 1 2 0 b と、A N D ゲート 1 2 0 b の出力信号を遅延する遅延回路 1 2 0 c と、遅延回路 1 2 0 c の出力信号とロウアドレスストローブ信号 R A S と電源電圧とを受けて、カウント更新信号 Q C U ( Q C U 1 , Q C U 2 ) を生成する N A N D ゲート 1 2 0 d を含む。A N D ゲート 1 2 0 b から、リフレッシュアドレス選択信号 Q A D S E L ( Q A D S E L 1 , Q A D S E L 2 ) が生成される。

#### 【 0 1 3 5 】

図 2 5 は、図 2 4 に示すアドレス更新制御回路 1 2 0 の動作を示す信号波形図である。図 2 5 を参照して、図 2 4 に示すアドレス更新制御回路 1 2 0 の動作について説明する。リフレッシュ動作を行なうとき、リフレッシュ要求に応答してリフレッシュ活性化信号 R E F が活性化される。このときまだセンスアンプ活性化信号 Z S 0 N M は H レベルであり、応じて A N D 回路 1 2 0 b の出力信号が H レベルとなり、リフレッシュアドレス選択信号 Q A D S E L が H レベルとなる。このリフレッシュアドレス選択信号 Q A D S E L に従ってリフレッシュアドレスが選択される。センスアンプ活性化信号 Z S 0 N M が H レベルであり、またリフレッシュ動作開始時においてロウアドレスストローブ信号 R A S が H レベルとなるため、N A N D ゲート 1 2 0 d からのアドレス更新信号 Q C U は、リフレッシュアドレス選択信号 Q A D S E L の活性化後、遅延回路 1 2 0 c の有する遅延時間経過後 L レベルとなる。

#### 【 0 1 3 6 】

ロウアドレスストローブ信号 R A S が H レベルとなってから所定期間が経過すると、センスアンプ活性化信号 Z S 0 N M が活性化され、リフレッシュ行のメモ

リセルのデータのセンス、増幅および再書込が行なわれる。このセンスアンプ活性化信号 Z S 0 N M の活性化に応答して、遅延回路 1 2 0 a の有する遅延時間経過後、AND ゲート 1 2 0 b からのリフレッシュアドレス選択信号 Q A D S E L が L レベルとなる。

## 【 0 1 3 7 】

このリフレッシュアドレス選択信号 Q A D S E L の立下りから遅延回路 1 2 0 c の有する遅延時間経過後 NAND ゲート 1 2 0 d からのアドレス更新信号 Q C U が H レベルとなり、リフレッシュアドレスの更新が行われる。

## 【 0 1 3 8 】

リフレッシュ期間が完了すると、ロウアドレスストローブ信号 R A S が L レベルとなり、続いてセンスアンプ活性化信号 Z S 0 N M が H レベルとなる。ロウアドレスストローブ信号 R A S の立下りに応答して、AND ゲート 1 2 0 d からのアドレス更新信号 Q C U が L レベルとなり、図 2 3 に示すアドレスカウント 1 2 2 においてリフレッシュアドレスの更新が行なわれる。

## 【 0 1 3 9 】

センスアンプ活性化信号 Z S 0 N M が H レベルとなると、リフレッシュ活性化信号 R E F が H レベルの期間、リフレッシュアドレス選択信号 Q A D S E L が H レベルとなり、新たに更新されたリフレッシュアドレスを選択する。このときには、ロウアドレスストローブ信号 R A S は非活性状態にあり、プリチャージ状態時において次のリフレッシュアドレスを選択し、次のリフレッシュサイクルに備える。

## 【 0 1 4 0 】

リフレッシュ動作前後においてリフレッシュアドレス選択信号 Q A D S E L を活性化することにより、リフレッシュ動作開始時において、新たなリフレッシュアドレスが与えられており、確実に、早いタイミングでリフレッシュアドレスを確定状態へ駆動して、後に説明するブロック選択信号を早いタイミングで確定状態へ駆動することができる。

## 【 0 1 4 1 】

なお、この図 2 4 に示すアドレス更新制御回路 1 2 0 の構成においては、リフ



リフレッシュアドレス選択信号  $QADSEL$  が、リフレッシュ動作前後において活性化されている。このリフレッシュアドレス選択信号  $QADSEL$  の H レベル期間は、ロウアドレスストローブ信号  $RAS$  の活性化期間と同程度であってもよい。リフレッシュ動作時に確実にリフレッシュアドレスを選択してリフレッシュ行を選択することができる。遅延回路 120a の遅延時間を適当に設定することにより、このリフレッシュアドレス選択信号  $QADSEL$  の H レベル期間を適当な期間に設定することができる。

## 【0142】

図 26 は、図 23 に示すアドレスカウンタ 122 の構成を概略的に示す図である。このアドレスカウンタ 122 はリフレッシュアドレス  $QAD$  として、13 ビットのリフレッシュアドレス信号  $ZQAD<12:0>$  を生成する。図 26 において、アドレスカウンタ 122 は、縦列接続され、それぞれ下位ビットの変化（立上り）に応じてその出力ビットの論理レベルを変化させる 1 ビットカウンタ  $QNT0-QNT12$  を含む。

## 【0143】

最下位の 1 ビットカウンタ  $QNT0$  に、アドレス更新信号  $QCU$  が与えられる。これらの 1 ビットカウンタ  $QNT0-QNT12$  対し共通に、電源投入検出信号  $POR$  が与えられ、電源投入時、このアドレスカウンタ 122 のカウント値が初期値にリセットされる。

## 【0144】

図 27 は、図 26 に示す 1 ビットカウンタ  $QNT0-QNT12$  の具体的構成の一例を示す図である。図 27 においては、最下位ビットの 1 ビットカウンタ  $QNT0$  の構成を示す。残りの 1 ビットカウンタ  $QNT1-QNT12$  についても、同じ構成であり、下位側のアドレスビットの立上がりに対応して、その出力ビットを変化させる。

## 【0145】

図 27 において、1 ビットカウンタ  $QNT0$  は、リフレッシュアドレス更新信号  $QCU$  が L レベルのときに活性化され、補のリフレッシュアドレスビット  $ZQAD<0>$  を反転するトライステートインバータ 130 と、トライステートイン

バータ 1 3 0 の出力信号を第 1 の入力に受け、第 2 の入力に電源投入検出信号 P O R を受ける N O R ゲート 1 3 1 と、N O R ゲート 1 3 1 の出力信号を反転し、N O R ゲート 1 3 1 の第 1 の入力へ伝達するインバータ 1 3 2 と、リフレッシュアドレス更新信号 Q C U が H レベルのときに活性化され、活性化時インバータ 1 3 2 の出力信号を反転してノード N D 1 1 へ伝達するトライステートインバータ 1 3 3 と、電源投入検出信号 P O R を受けるインバータ 1 3 4 と、ノード N D 1 1 の信号とインバータ 1 3 4 の出力信号とを受け、補のアドレスビット Z Q A D < 0 > を生成する N A N D ゲート 1 3 5 と、N A N D ゲート 1 3 5 の出力信号を反転してノード N D 1 1 へ伝達するインバータ 1 3 6 を含む。

【 0 1 4 6 】

アドレスビット Q A D < 0 > は、アドレスビット Z Q A D < 0 > を反転して生成される。

【 0 1 4 7 】

図 2 8 は、図 2 7 に示す 1 ビットカウンタ Q N T 0 の動作を示すタイミング図である。以下、図 2 8 を参照して、図 2 7 に示す 1 ビットカウンタ Q N T 0 の動作について説明する。

【 0 1 4 8 】

電源が投入され、電源電圧が安定化すると、電源投入検出信号 P O R がワンショットパルスの形態で発生される。この電源投入検出信号 P O R に従って、N O R ゲート 1 3 1 の出力ノード N D 1 0 が L レベルに初期化され、また N A N D ゲート 1 3 5 の出力するアドレスビット Z Q A D < 0 > が H レベルに初期化される。電源投入検出信号 P O R が L レベルに立下がると、N O R ゲート 1 3 1 およびインバータ 1 3 2 がラッチ回路を構成しており、ノード N D 1 0 は、L レベルに維持される。同様、N A N D ゲート 1 3 5 およびインバータ 1 3 6 がラッチ回路を構成しており、アドレスビット Z Q A D < 0 > は、H レベルに維持される。この状態において、アドレスビット Q A D < 0 > は L レベルである。したがってリフレッシュアドレス Q A D は、初期時、全ビットが “ 0 ” である。

【 0 1 4 9 】

リフレッシュ動作が行なわれ、リフレッシュアドレス更新信号 Q C U が L レベ

ルに立下がると、トライステートインバータ130が活性化され、HレベルのアドレスビットZQAD<0>を反転してNORゲート131の第1の入力へ与える。応じて、ノードND10がHレベルとなり、インバータ132の出力信号がLレベルとなる。リフレッシュアドレス更新信号QCUがHレベルの間、トライステートインバータ133は、出力ハイインピーダンス状態であり、リフレッシュアドレスビットZQAD<0>は、初期値を維持する。

## 【0150】

リフレッシュアドレス更新信号QCUがHレベルに立上がると、トライステートインバータ133が活性化され、インバータ132からのHレベルの信号を反転し、ノードND11の電圧レベルがLレベルとなり、応じてアドレスビットZQAD<0>がLレベルとなる。トライステートインバータ130は出力ハイインピーダンス状態であり、リフレッシュアドレス更新信号QCUがHレベルの間、ノードND10はHレベルを維持する。

## 【0151】

以降、リフレッシュアドレス更新信号QCUがLレベルに立下がるごとに、ノードND10の論理レベルが変化し、リフレッシュアドレス更新信号QCUの立上がりに対応して、ノードND10のレベル変化がノードND11へ伝達され、応じてアドレスビットZQAD<0>の論理レベルが変化する。

## 【0152】

したがって、リフレッシュが行なわれるごとに、リフレッシュアドレスの更新が行なわれる。図25に示すように、リフレッシュアドレス更新信号QCUがLレベルからHレベルに立上がるのは、リフレッシュ動作完了後であり、このリフレッシュ動作時にリフレッシュアドレスを更新し、次のリフレッシュ動作に備える。

## 【0153】

図29は、リフレッシュアドレスビットZQAD<k>およびZQAD(k+1)の対応関係を示す図である。この図26に示す1ビットカウンタはQNT1-QNT12において、下位アドレスビットZQAD<k>が立上がるごとに、すなわち、下位のアドレスビットQAD<k>がHレベルからLレベルに立下り

キャリーを発生させる時に、上位のアドレスビット  $ZQAD < k + 1 >$  の論理レベルが変化する。したがって、最下位ビットの1ビットカウンタ  $QNT0$  へ、リフレッシュアドレス更新信号  $QCU$  を与えることにより、リフレッシュアドレスを各リフレッシュ動作ごとに更新することができる。

## 【 0 1 5 4 】

この図 2 3 に示すリフレッシュアドレス発生回路を、リフレッシュサイクルに応じて別々に設けることにより、各リフレッシュピリオドでリフレッシュアドレスを発生することができ、異なるピリオドで発行されるリフレッシュ要求に対応してリフレッシュアドレスを生成することができる。

## 【 0 1 5 5 】

図 3 0 は、図 1 に示すアドレス選択回路 (MUX) 1 6 の構成を概略的に示す図である。図 3 0 において、アドレス選択回路 1 6 は、アドレス入力回路 1 4 からの 1 3 ビットアドレス信号  $ADD < 1 2 : 0 >$  を、ロウアドレスラッチ指示信号  $RAL$  が L レベルのときに通過させるトライステートインバータ 1 4 0 と、リフレッシュアドレス選択信号  $QADSEL1$  が L レベルのときに活性化され、トライステートインバータ 1 4 0 の出力信号を反転して内部行アドレス信号  $RAD1 < 1 2 : 0 >$  を生成するトライステートインバータ 1 4 2 と、リフレッシュアドレス選択信号  $QADSEL1$  が L レベルのときに活性化され、第 1 リフレッシュアドレス発生回路 2 0 a からのリフレッシュアドレス  $QAD1 (ZQAD1 < 1 2 : 0 >)$  を反転して内部行アドレス信号  $RAD1$  をリフレッシュ時生成するトライステートインバータ 1 4 3 と、内部行アドレス信号  $RAD1$  を反転して補の内部行アドレス信号  $ZRAD1$  を生成するインバータ 1 4 4 と、リフレッシュアドレス選択信号  $QADSEL2$  が H レベルのときに活性化され、活性化時、第 2 リフレッシュアドレス発生回路 2 0 b からのリフレッシュアドレス信号  $QAD2 (ZQAD2 < 1 2 : 0 >)$  を反転して内部行アドレス信号  $RAD2$  を生成するトライステートインバータ 1 4 5 と、トライステートインバータ 1 4 5 の出力する内部行アドレス信号  $RAD2 < 1 2 : 0 >$  を反転して補の内部行アドレス信号  $ZRAD2 < 1 2 : 0 >$  を生成するインバータ 1 4 6 を含む。

## 【 0 1 5 6 】

内部行アドレス信号RAD1およびZRAD1は、相補な13ビットのアドレス信号であり、図1に示す第1行選択回路2へ与えられ、内部行アドレス信号RAD2およびZRAD2は、互いに相補な13ビットのアドレス信号であり、図1に示す第2行選択回路4へ与えられる。これらのアドレス信号RAD1およびRAD2は、メモリブロックを指定するブロックアドレスを含む。

## 【0157】

図31は、図30に示すアドレス選択回路16の動作を示すタイミング図である。以下、図31を参照して、図30に示すアドレス選択回路16の動作について簡単に説明する。

## 【0158】

データアクセスが行われる通常動作モード時において、リフレッシュアドレス選択信号QADSEL1およびQADSEL2はともにLレベルである。したがって、トライステートインバータ143および145は出力ハイインピーダンス状態にある。一方、トライステートインバータ142は活性状態にある。外部からロウアクセス指示（ロウアクティブコマンド）が与えられると、所定期間ロウアドレスラッチ信号RALがLレベルとなり、トライステートインバータ140が活性化され、アドレス入力回路14からのアドレス信号ADD<12:0>がトライステートインバータ142へ与えられる。

## 【0159】

ロウアドレスラッチ信号RALがHレベルとなると、トライステートインバータ140は出力ハイインピーダンス状態となり、一方、トライステートインバータ141が活性化され、トライステートインバータ141および142によりラッチ回路が構成される。したがって、外部からのアドレス信号ADD1に従って内部行アドレス信号RAD1が生成され、かつラッチされる。なお、図31においては、アドレスのビットが示さず、単に信号の名称のみを示す。

## 【0160】

セルフリフレッシュモード時においては、所定期間間隔で、リフレッシュアドレス選択信号QADSEL1およびQADSEL2が活性化される。ロウアドレスラッチ信号RALは、Hレベルに維持される。したがって、トライステートイ

ンバータ 1 4 0 は出力ハイインピーダンス状態に維持され、一方、トライステートインバータ 1 4 1 は活性状態を維持する。

#### 【 0 1 6 1 】

リフレッシュアドレス選択信号 Q A D S E L 1 が H レベルとなると、トライステートインバータ 1 4 2 が出力ハイインピーダンス状態となり、一方、トライステートインバータ 1 4 3 が活性化され、第 1 リフレッシュアドレス発生回路 2 0 a からのリフレッシュアドレス信号 Q A D 1 ( Z Q A D 1 < 1 2 : 0 > がトライステートインバータ 1 4 3 により反転されて内部行アドレス信号 R A D 1 が生成される。したがって、図 3 1 に示すように、リフレッシュアドレス選択信号 Q A D S E L 1 が活性化されると、第 1 リフレッシュアドレス発生回路 2 0 a からのリフレッシュアドレス Q A D 1 に従って内部行アドレス信号 R A D 1 が生成される。

#### 【 0 1 6 2 】

リフレッシュアドレス選択信号 Q A D S E L 1 が L レベルとなると、トライステートインバータ 1 4 3 は出力ハイインピーダンス状態となり、一方、トライステートインバータ 1 4 2 が活性化される。したがって、この状態においては、インバータ 1 4 1 および 1 4 2 により、選択されたりフレッシュアドレス Q A 1 が保持される。

#### 【 0 1 6 3 】

このリフレッシュアドレスの更新動作については、各リフレッシュ動作時にリフレッシュ動作完了後に、更新されたりフレッシュアドレスが選択される。リフレッシュ動作完了後においてリフレッシュ活性化信号 R E F の非活性化に従ってリフレッシュアドレス選択回路が非活性化されトライステートインバータ 1 4 3 が出力ハイインピーダンス状態となる。従って、各リフレッシュ動作時にリフレッシュアドレス選択信号 2 回発行され、リフレッシュ動作完了後にラッチリフレッシュアドレスの更新が行われる。しかしながら、ここでは、単にリフレッシュアドレスの更新／選択動作を説明するために各リフレッシュアドレス選択信号活性化時にリフレッシュアドレスが選択されるように示す。リフレッシュアドレス Q A D 2 に対しても同様である。

## 【0 1 6 4】

一方、リフレッシュアドレス選択信号QADSEL2が活性化された場合には、第2リフレッシュアドレス発生回路20bからのリフレッシュアドレス信号QAD2 ( $ZQAD2 < 12 : 0 >$ ) に従って、トライステートインバータ145が内部リフレッシュ行アドレス信号RAD2を生成し、インバータ146により、補の内部行アドレス信号ZRADが生成される。

## 【0 1 6 5】

したがって、図31に示すように、リフレッシュアドレス選択信号QADSEL2がHレベルに立上がるごとに、リフレッシュアドレス発生回路20bからのリフレッシュアドレスQB1およびQB2に従って内部行アドレス信号RAD2が生成される。

## 【0 1 6 6】

このアドレス選択回路16においては、通常動作モード時には、内部行アドレス信号RAD1が、外部からのアドレス信号ADDに従って生成され、セルフリフレッシュモード時には、行アドレス信号RAD1は、第1リフレッシュアドレス発生回路20aからのリフレッシュアドレス信号QAD1に従って生成される。アドレス信号RAD2は、セルフリフレッシュモード時、第2リフレッシュアドレス発生回路20bからのリフレッシュアドレス信号QAD2に従って生成される。

## 【0 1 6 7】

これらのリフレッシュアドレス選択信号QADSEL1およびQADSEL2は、また、アドレスラッチ信号としても利用される。各リフレッシュ要求発行時に、対応のリフレッシュアドレスを選択することにより、正確に対応のリフレッシュアドレスを選択することができる。

## 【0 1 6 8】

図32は、図1に示す第1行選択回路2の構成を概略的に示す図である。図32において、第1行選択回路2は、内部行アドレス信号RAD1およびZRAD1のブロックアドレスに対応するビットをデコードしてブロック選択信号BS1を生成するブロックデコーダ150と、内部行アドレス信号RAD1およびZR

A D 1 の残りのアドレスビットをプリデコードして多ビットロウプリデコード信号 X 1 を生成するロウプリデコーダ 1 5 2 と、多ビットロウプリデコード信号 X 1 を各行単位で選択的に伝達するヒューズプログラム回路 1 5 4 と、ヒューズプログラム回路 1 5 4 の出力する信号とブロック選択信号 B S 1 とに従って行デコード信号 X D 1 を生成するロウデコード回路 1 5 6 を含む。

## 【 0 1 6 9 】

ブロックデコーダ 1 5 0 およびロウプリデコーダ 1 5 2 は、それぞれ、N A N D 型デコード回路で構成され、所定のビットを含む組合せに基づいてブロック選択信号および多ビットプリデコード信号 X 1 を生成する。

## 【 0 1 7 0 】

ヒューズプログラム回路 1 5 4 は、各行ごとに対応して設けられるヒューズプログラム回路を含み、各行に対応して配置されるロウデコード回路 1 5 6 に対し、選択的に、プリデコード信号を伝達する。すなわち、このヒューズプログラム回路 1 5 4 は、対応の行（ワード線）がポーズリフレッシュ特性が劣る場合には、対応のプリデコード信号 X 1 の組のセルフリフレッシュモード時の対応のロウデコーダへの伝達を禁止する。

## 【 0 1 7 1 】

通常動作モード時においては、ヒューズプログラム回路 1 5 4 は、ロウプリデコーダ 1 5 2 からのプリデコード信号 X 1 を、対応の行（ワード線）のポーズリフレッシュ特性の優劣にかかわらずロウデコーダへ伝達する。

## 【 0 1 7 2 】

このヒューズプログラム回路 1 5 4 の通常動作モード時、およびセルフリフレッシュモード時における選択的なプリデコード信号の伝達が、セルフリフレッシュモード設定信号 S L R E F により制御される。

## 【 0 1 7 3 】

図 3 3 は、図 3 2 に示すヒューズプログラム回路 1 5 4 の 1 つの行に対応する部分の構成の一例を示す図である。図 3 3 において、ヒューズプログラム回路 1 5 4 は、ノード N D 3 0 をリセット信号 Z R S T に従って電源電圧レベルに設定する P チャネル M O S トランジスタ 1 6 0 と、ノード N D 3 0 と接地ノードの間



に接続されるヒューズ素子161と、セルフリフレッシュモード設定信号SLREFとノードND30の信号とを受けるNAND回路162と、多ビットプリデコード信号X1の所定の組合せとNAND回路162の出力信号とを受けるAND回路163とを含む。

## 【0174】

プリデコード信号X1は、複数ビットの信号であり、各行に対して、所定の組合せのプリデコード信号が与えられる。リセット信号ZIRSTは、たとえば電源投入時またはシステムリセット時に、所定期間Lレベルに設定される。ヒューズ素子161は、対応の行（ワード線）がポーズリフレッシュ不良の場合にブロー（溶断）される。このヒューズ素子161の溶断／非溶断は、ウェファレベルでのデータ保持特性の試験結果に基づいて不良アドレスを検出し、その検出結果に基づいてウェファ工程の最終でのレーザトリミング工程において行われる。

## 【0175】

ロウデコード回路156は、各行に対応して設けられるロウデコーダ156aを含む。このロウデコーダ156aは、AND回路163の出力信号とブロック選択信号BS1とワード線駆動タイミング信号RXTとを受けて、1ビットのデコード信号（行選択信号）XD1aを生成する。

## 【0176】

通常動作モード時においては、セルフリフレッシュモード設定信号SLREFはLレベルであり、NAND回路162の出力信号はHレベルである。したがって、AND回路163は、外部アドレス信号に基づいて生成されるプリデコード信号X1に従ってその出力信号を生成する。

## 【0177】

セルフリフレッシュモード時においては、セルフリフレッシュモード設定信号SLREFは、Hレベルである。対応の行（ワード線WL）がポーズリフレッシュ不良の場合には、ヒューズ素子161は溶断され、ノードND30は、Hレベルに維持される。したがってセルフリフレッシュモード時、NAND回路162の出力信号はLレベルとなり、AND回路163の出力信号は、プリデコード信号X1にかかわらず、Lレベルに固定され、応じてロウデコーダ156aからの

デコード信号XD1aもLレベルに固定される。

【0178】

一方、対応の行（ワード線）がポーズリフレッシュ特性が優れている場合には、ヒューズ素子161は非溶断状態であり、ノードND30は、Lレベルに固定される。したがって、NAND回路162の出力信号は、Hレベルに固定され、プリデコード信号X1に従ってAND回路163が出力信号を生成する。したがって、セルフリフレッシュモード時には、ポーズリフレッシュ特性良のメモリセル行については、長い周期で発生されるリフレッシュアドレス信号QAD1に基づいて生成されるプリデコード信号X1に従って、対応の行が選択状態へ駆動される。

【0179】

図34は、図1に示す第2行選択回路4の構成を概略的に示す図である。図34において、第2行選択回路4は、セルフリフレッシュモード設定信号SLREFの活性化時活性化され、ロウアドレス信号RAD2およびZRAD2の所定のビット（ブロックアドレス）をデコードしてブロック選択信号BS2を生成するブロックデコーダ170と、セルフリフレッシュモード設定信号SLREFの活性化時能動化され、相補アドレス信号RAD2およびZRAD2の残りのビットをプリデコードするロウプリデコーダ172と、ロウプリデコーダ172からのプリデコード信号X2を選択的に伝達するヒューズプログラム回路174と、ヒューズプログラム回路174から与えられた信号とブロック選択信号BS2と図示しないワード線駆動タイミング信号とに従ってデコード信号XD2を生成するロウデコード回路176を含む。

【0180】

ヒューズプログラム回路174は、各行に対応して設けられるプログラム回路を含み、ポーズリフレッシュ特性の劣る行に対応して設けられたロウデコーダに対して対応のプリデコード信号を伝達する。

【0181】

図35は、図34に示すヒューズプログラム回路174およびロウデコード回路176の構成の一例を示す図である。図35において、ヒューズプログラム回

路 1 7 4 は、電源ノードとノードND 3 2の間に接続されかつそのゲートにリセット信号Z R S Tを受けるPチャネルM O Sトランジスタ1 7 8と、ノードND 3 2と接地ノードの間に接続されるヒューズ素子1 8 0と、ノードND 3 2の信号とセルフリフレッシュモード設定信号S L R E Fとを受けるN A N Dゲート1 8 2と、N A N Dゲート1 8 2の出力信号とプリデコード信号X 2とを受けるA N D回路1 8 4と、A N D回路1 8 4の出力信号とブロック選択信号B S 2とワード線駆動タイミング信号R X Tとを受けてデコード信号X D 2 aを生成するロウデコーダ1 7 6 aを含む。

#### 【0 1 8 2】

このロウデコーダ1 7 6 aは、ロウデコード回路1 7 6に含まれ、各行に対応して配置され、伝達されたプリデコード信号の組をデコードする。

#### 【0 1 8 3】

この図3 5に示すヒューズプログラム回路1 7 4においては、対応の行（ワード線W L）がポーズリフレッシュ特性に優れている場合にヒューズ素子1 8 0が溶断される。対応の行がポーズリフレッシュ不良の場合には、このヒューズ素子1 8 0は非溶断状態に維持される。

#### 【0 1 8 4】

通常動作モード時においては、図3 4に示すように、ロウプリデコーダ1 7 2は非活性状態であり、プリデコード信号X 2はLレベルであり、デコード信号（行選択信号）X D 2 aは、非選択状態のLレベルである。

#### 【0 1 8 5】

セルフリフレッシュモード時においては、セルフリフレッシュモード設定信号S L R E FがHレベルの活性状態に設定される。ヒューズ素子1 8 0が溶断状態のときには、N A N D回路1 8 2の出力信号がLレベルとなり、プリデコード信号X 2にかかわらず、A N D回路1 8 4の出力信号はLレベルとなり、デコード信号X D 2 aは、Lレベルの非選択状態を維持する。したがって、ポーズリフレッシュ特性が優れたメモリセル行に対しては、プリデコード信号X 2に従った行選択は行なわれない。

#### 【0 1 8 6】

一方、ヒューズ素子180が非溶断状態の場合には、ノードND32の電圧レベルはLレベルであり、NAND回路182の出力信号はHレベルである。したがって、この場合には、プリデコード信号X2に従ってロウデコーダ176aがデコード動作を行ない、デコード信号XD2aを生成する。したがって、ポーズリフレッシュ不良のメモリセル行は、短いピリオドで発行されるリフレッシュ要求に基づいてリフレッシュされる。リフレッシュアドレスQAD2がリフレッシュ要求PHYS2に従って生成されて、行選択回路へ与えられても、そのリフレッシュアドレスQAD2が、ポーズリフレッシュ良のメモリセル行を指定する場合には、行選択は行われない。

【0187】

図36は、図1に示す行駆動回路6の構成の一例を示す図である。図36においては、1つのメインワード線MWLに対するメインワード線選択信号ZMWLを生成するメインワード線ドライブ回路の構成を示す。このメインワード線ドライブ回路単位で、ポーズリフレッシュの良／不良のプログラムが実行される。

【0188】

図36において、メインワード線ドライバは、デコード信号XD1aに従って選択的にノードND35を接地電圧レベルへ駆動するNチャネルMOSトランジスタ190と、デコード信号XD2aに従ってノードND35を選択的に接地電圧レベルへ放電するNチャネルMOSトランジスタ191と、ノードND35上の信号を反転するCMOSインバータ192と、CMOSインバータ192の出力信号を反転してメインワード線駆動信号ZMWLを生成するCMOSインバータ193と、リセット信号ZXIRSTの活性化時ノードND35を高電圧VPPレベルにプリチャージするPチャネルMOSトランジスタ194と、CMOSインバータ192の出力信号がLレベルのとき導通し、導通時ノードND35を高電圧VPPレベルに充電するPチャネルMOSトランジスタ195を含む。

【0189】

メインワード線駆動信号ZMWLは、対応のメインワード線MWLが選択されたときには、Lレベルであり、非選択時には、高電圧VPPレベルである。対応のメインワード線がポーズリフレッシュ不良の場合には、セルフリフレッ

シュモード時、デコード信号XD1aは、Lレベルであり、MOSトランジスタ190は非導通状態を維持する。この状態においては、デコード信号XD2aに従ってメインワード線駆動信号ZMWLが生成される。

## 【0190】

一方、対応のメインワード線MWLが良ポーズリフレッシュ特性の場合には、デコード信号XD2aは、Lレベルに固定され、MOSトランジスタ191が非導通状態に維持される。したがって、通常動作モード時およびセルフリフレッシュモード時には、デコード信号XD1aに従って、メインワード線駆動信号ZMWLが生成される。

## 【0191】

メインワード線ドライブ回路の動作時において、ノードND35は、リセット信号ZXIRSTに従って高電圧VPPレベルにプリチャージされる。このリセット信号ZXIRSTは、ロウアドレスストロブ信号RASTの非活性化時Lレベルに設定される。対応のメインワード線が選択された場合には、MOSトランジスタ190または191が導通し、ノードND35が接地電圧レベルへ放電され、CMOSインバータ192の出力信号がHレベルとなり、応じてCMOSインバータ193からのメインワード線駆動信号ZMWLがLレベルとなる。

## 【0192】

一方、対応のメインワード線が非選択状態の場合には、MOSトランジスタ190および191は非導通状態を維持し、ノードND35は、高電圧VPPレベルに維持される。この状態においては、CMOSインバータ192の出力信号がLレベルとなり、応じて、CMOSインバータ193からのメインワード線駆動信号ZMWLは、Hレベル（高電圧VPPレベル）に維持される。CMOSインバータ192の出力信号がLレベルであり、ノードND35は、MOSトランジスタ195により、高電圧VPPレベルに維持される。

## 【0193】

したがって、メインワード線単位で、ポーズリフレッシュの良／不良に応じて、リフレッシュ周期を変更することができる。

## 【0194】

図 3 7 は、1 つのメモリブロックの構成を概略的に示す図である。メモリブロック MB は、複数のメモリサブアレイ MSB 0 - MSB 3 に、行方向に沿ってサブワードドライバ帯 SWB 1 - SWB 3 により分割される。メモリサブアレイ MSB 0 および MSB 3 の外側に、サブワードドライバ帯 MSB 0 および MSB 4 が配置される。

## 【 0 1 9 5 】

メモリサブアレイ MSB 0 - MSB 3 に共通に、メインワード線 MWL が配設される。メモリサブアレイ MSB 0 - MSB 3 それぞれにおいて、メモリセル行に対応してサブワード線 SWL が配置される。1 つのメインワード線 MWL に対しメモリサブアレイ MSB 0 - MSB 3 それぞれにおいて所定数のサブワード線 SWL が配置される。

## 【 0 1 9 6 】

サブワードドライバ帯 SWB 0 - SWB 4 それぞれにおいてはサブワード線 SWL それぞれに対応して、サブデコード信号 SD および ZSD と対応のメインワード線上のメインワード線駆動信号 ZMWL とに従って対応のサブワード線 SWL を選択状態へ駆動するサブワードドライバが配置される。

## 【 0 1 9 7 】

サブデコード信号 SD および ZSD は、メモリブロック MB の各メインワード線に対して共通に生成される。サブデコード信号 SD および ZSD の組合せに従って、1 つのメインワード線 MWL に対して設けられる所定数のサブワード線のうちの 1 つのサブワード線が選択される。

## 【 0 1 9 8 】

サブデコード信号 SD および ZSD は、サブワード線プリデコード信号 X1s および X2s とブロック選択信号 BS1 および BS2 に従って選択してデコードするサブデコーダ 200 により生成される。サブワード線プリデコード信号 X1s および X2s は、図 3 2 に示すロウプリデコーダ 152 および図 3 4 に示すロウプリデコーダ 172 から生成されるプリデコード信号のうち、下位のプリデコード信号であり、ポーズリフレッシュ特性に応じて、それぞれ、内部ロウアドレス信号 RAD1 および RAD2 から生成される。

## 【 0 1 9 9 】

ブロック選択信号 B S 1 の生成時においては、サブワード線プリデコード信号 X 1 s に基づいてサブデコード信号 S D および Z S D が生成される。ブロック選択信号 B S 2 の生成時においては、サブワード線プリデコード信号 X 2 s に基づいてサブデコード信号 S D および Z S D が生成される。ブロック選択信号 B S 1 および B S 2 は、異なるタイミングで活性化され、サブワード線が同じに選択されるワード線多重選択は生じない。したがって、選択メインワード線のポーズリフレッシュ特性に応じて、サブワード線プリデコード信号を選択することができる。これにより、メインワード線単位で、ポーズリフレッシュ不良を救済することができる。

## 【 0 2 0 0 】

図 3 8 は、図 3 7 に示す 1 つのサブワードドライバ帯の 1 つのメインワード線 MWL に関連する部分の構成を概略的に示す図である。メインワード線 MWL に対応して、それぞれに対応の行のメモリセルが接続するサブワード線 S W L 0 - S W L 3 が配置される。サブワード線 S W L 0 - S W L 3 それぞれに対応してサブワードドライバ S W D 0 - S W D 3 が配置される。

## 【 0 2 0 1 】

サブワードドライバ S W D 0 は、サブデコード信号 S D < 0 > および Z S D < 0 > とメインワード線駆動信号 Z M W L に従ってサブワード線 S W L 0 を駆動する。サブワードドライバ S W D 1 は、サブデコード信号 S D < 1 > および Z S D < 1 > とメインワード線駆動信号 Z M W L に従ってサブワード線 S W L 1 を駆動する。サブワードドライバ S W D 2 は、サブデコード信号 S D < 2 > および Z S D < 2 > とメインワード線駆動信号 Z M W L に従ってサブワード線 S W L 2 を駆動する。サブワードドライバ S W D 3 は、サブデコード信号 S D < 3 > および Z S D < 3 > とメインワード線駆動信号 Z M W L とに従ってサブワード線 S W L 3 を駆動する。

## 【 0 2 0 2 】

これらのサブワードドライバ S W D 0 - S W D 3 は、回路構成は同じであるため、図 3 8 において、サブワードドライバ S W D 0 の構成を具体的に示す。サブ

ワードドライバSWD0は、メインワード線駆動信号ZMWLに従って選択的にサブデコード信号SD<0>をサブワード線SWL0に伝達するPチャネルMOSトランジスタ202と、メインワード線駆動信号ZMWLに従ってサブワード線SWL0を接地電圧レベルに放電するNチャネルMOSトランジスタ204と、サブデコード信号ZSD<0>に従ってサブワード線SWL0を接地電圧レベルに駆動するNチャネルMOSトランジスタ206を含む。

#### 【0203】

サブワード線SWL0の選択時においては、メインワード線駆動信号ZMWLは、Lレベルであり、MOSトランジスタ204は非導通状態となる。サブデコード信号SD<0>が、高電圧VPPレベルのHレベルとなり、MOSトランジスタ202を介してサブワード線SWL0に伝達される。一方、サブデコード信号SD<0>がLレベルのときには、MOSトランジスタ202は、メインワード線駆動信号ZMWLがLレベルであっても、非導通状態となる。このときには、サブデコード信号ZSD<0>がHレベルとなり、サブワード線SWL0は、接地電圧レベルに維持される。

#### 【0204】

このメインワード線MWLとサブワード線SWLの階層ワード線構成においても、利用されるデコード信号に基づいてサブデコード信号を生成することができる。

#### 【0205】

図39は、図37に示すサブデコーダ200の構成の一例を示す図である。図39において、サブデコーダ200は、ブロック選択信号BS1の活性化時に活性化され、2ビットのプリデコード信号X1<1:0>を反転するトライステートインバータ200aと、ブロック選択信号BS2の活性化時活性化され、2ビットプリデコード信号X2<1:0>を反転して伝達するトライステートインバータ200bと、ブロック選択信号BS1およびBS2を受けるOR回路200cと、OR回路200cの出力信号がHレベルのときイネーブルされ、トライステートインバータ200aおよび200bの出力信号をデコードして、4ビットサブデコード信号ZSD<3:0>を生成するNAND型デコード回路200d



と、NAND型デコード回路200dの出力信号を反転して4ビットサブデコード信号SD<3:0>を生成するインバータ回路200eを含む。

#### 【0206】

ブロック選択信号BS1およびBS2が共にLレベルのときには、OR回路200cの出力信号がLレベルであり、NAND型デコード回路200bからの4ビットサブデコード信号ZSD<3:0>はすべてHレベルであり、一方、インバータ回路200からの4ビットサブデコード信号SD<3:0>は、すべてLレベルである。

#### 【0207】

ブロック選択信号BS1およびBS2の一方が活性化されると、トライステートインバータ200aおよび200bの一方が活性化され、NAND型デコード回路200dへ対応の2ビットプリデコード信号X1<1:0>またはX2<1:0>が与えられる。NAND型デコード回路200dが、デコード動作を行ない、このデコード結果に従って、4ビットのサブデコード信号ZSD<3:0>および4ビットサブデコード信号SD<3:0>を生成する。

#### 【0208】

この図39に示すサブデコーダ200の構成において、ブロック選択信号BS1およびBS2が同時に選択状態へ駆動されることはない。後に説明するように、リフレッシュ要求PHYS1およびPHYS2が同時に発行される場合には、その発行タイミングを異ならせて、リフレッシュ動作の競合を防止する。したがって、各リフレッシュ周期に応じて対応のプリデコード信号を選択して、サブデコード信号を生成することができる。

#### 【0209】

図40は、図1に示す行系制御回路12の構成を概略的に示す図である。図12において、行系制御回路12は、ロウアドレスストローブ信号RASに従ってロウアドレスラッチ指示ファースト指示信号RALFを生成するロウアドレスラッチ指示発生回路210と、セルフリフレッシュモード設定信号SLREFとロウアドレスラッチファースト信号RALFとを受けてロウアドレスラッチ指示信号RALを生成するOR回路211と、ロウアドレスラッチ指示発生回路210

の出力信号に従って、ブロックデコーダイネーブル信号 B D E を生成するブロックデコーダ活性化回路 2 1 2 と、ブロックデコーダ活性化回路 2 1 2 の出力信号に従ってワード線駆動タイミング信号 R X T を生成するワード線駆動活性化回路 2 1 4 と、ワード線駆動活性化回路 2 1 4 の出力信号に従ってセンスアンプ活性化信号 Z S O N M を生成するセンスアンプ活性化回路 2 1 6 を含む。

#### 【 0 2 1 0 】

ロウアドレスラッチ発生回路 2 1 0 は、ロウアドレスストローブ信号 R A S の立上がりに対応してロウアドレスラッチファースト信号 R A L F を所定期間 L レベルに設定する。O R 回路 2 1 1 は、セルフリフレッシュモード設定信号 S L R E F が L レベルのときに、ロウアドレスラッチ指示発生回路 2 1 0 からのロウアドレスラッチファースト信号 R A L F に従ってロウアドレスラッチ指示信号 R A L を生成する。セルフリフレッシュモード設定信号 S L R A F が H レベルに設定されたときには、ロウアドレスラッチ指示信号 R A L を H レベルに固定する。ロウアドレスラッチ指示信号 R A L は、先の図 3 0 に示すアドレス選択回路 1 6 へ与えられる。

#### 【 0 2 1 1 】

ロウアドレスストローブ信号 R A S は、図 2 2 に示す回路から生成される。

この行系制御回路 1 2 においては、これらの回路は、実質的に遅延回路を構成しており、前段回路の出力信号が活性化されると、所定時間経過後に、それぞれの対応の信号を活性化する。ロウアドレスストローブ信号 R A S が L レベルの状態となると、回路 2 1 2、2 1 4 および 2 1 6 は、所定のシーケンスでそれぞれの出力信号を非活性化状態へ駆動する。次に、図 4 1 を参照して、この図 4 0 に示す行系制御回路 1 2 の動作について簡単に説明する。

#### 【 0 2 1 2 】

ロウアドレスストローブ信号 R A S が L レベルのときには、この半導体記憶装置はプリチャージ状態にある。セルフリフレッシュモード時においては、セルフリフレッシュモード設定信号 S L R E F は H レベルであり、ロウアドレスラッチ指示信号 R A L は H レベルに固定される。また、ブロックデコーダイネーブル信号 B D E およびワード線駆動タイミング信号 R X T は共に L レベルであり、セン

スアンプ活性化信号 Z S O N M は、H レベルにある。

【 0 2 1 3 】

アドレスストローブ信号 R A S が H レベルに立上がると、ロウアドレスラッチファースト信号 R A L F は所定期間 L レベルとなる。また、このセルフリフレッシュモード時には、セルフリフレッシュモード設定信号 S L R A F は H レベルであり、ロウアドレスラッチ指示信号 R A L は H レベルを維持する。

【 0 2 1 4 】

セルフリフレッシュモード設定信号 S L R E F が L レベルである通常動作モード時には、図 4 1 に示すように、ロウアドレスラッチ指示信号 R A L は、ロウアドレスストローブ信号 R A S の立上がりに対応して所定期間 L レベルとなる。

【 0 2 1 5 】

ロウアドレスストローブ R A S が H レベルに立上がると、まずブロックデコーダイネーブル信号 B D E がブロックデコーダ活性化回路 2 1 2 により活性化され、ブロックデコーダが与えられたリフレッシュアドレス信号のブロックアドレスをデコードする。また、リフレッシュアドレスの残りのアドレス信号に従って、プリデコード動作が行なわれプリデコード信号が生成される。このブロックデコーダイネーブル信号 B D E が活性化されると、次いで、ワード線駆動活性化回路 2 1 4 がワード線駆動タイミング信号 R X T を H レベルへ駆動する。これにより、アドレス指定された行に対するワード線（メインおよびサブワード線）が選択状態へ駆動される。ワード線が選択され、選択ワード線（サブワード線）に接続されるメモリセルのデータが対応のビット線に読出されると、センスアンプ活性化信号 Z S O N M が活性化され、センス動作が行なわれ、メモリセルのデータの検知、増幅およびラッチが行なわれる。このセンスアンプによりラッチされたデータは、元のメモリセルへ再書込され、メモリセルデータのリフレッシュが行なわれる。

【 0 2 1 6 】

セルフリフレッシュモード時に所定期間が経過すると、ロウアドレスストローブ信号 R A S が L レベルとなり、ブロックデコーダ活性化回路 2 1 2、ワ

ード線駆動活性化回路 2 1 4 およびセンスアンプ活性化回路 2 1 6 が所定のシーケンスで非活性化され、ブロックデコーダイネーブル信号 B D E およびワード線駆動タイミング信号 R X T が L レベルへ駆動され、またセンスアンプ活性化信号 Z S O N M が H レベルに駆動される。これにより、1 つのリフレッシュ動作が完了する。

#### 【 0 2 1 7 】

したがって、プリデコーダおよびロウデコーダを、ポーズリフレッシュ周期に応じてゲートを設け、異なるリフレッシュ周期で発行されるリフレッシュアドレスに従ってプリデコードおよびデコード動作を行なうことにより、各ワード線を、ポーズリフレッシュ特性に応じたリフレッシュサイクルでリフレッシュすることができる。

#### 【 0 2 1 8 】

##### 〔リフレッシュ周期発行部の変更例〕

図 4 2 は、リフレッシュ周期発行部の変更例を示す図である。この図 4 2 に示す構成において、図 2 に示す第 1 プログラマブルリフレッシュタイマ 2 6 a からのリフレッシュ要求ファースト P H Y S F を遅延してリフレッシュ要求 P H Y S 1 を発行する遅延回路 2 2 0 が設けられる。

#### 【 0 2 1 9 】

第 2 プログラマブルリフレッシュタイマ 2 6 b からは、リフレッシュ要求 P H Y S 2 が発行される。遅延回路 2 2 0 は、リフレッシュ要求ファースト P H Y S F 1 を所定期間遅延してリフレッシュ周期 P H Y S 1 を発行する。この遅延回路 2 2 0 の有する遅延時間は、リフレッシュに要する期間すなわち、メモリセルが選択され、メモリセルデータの再書込が完了するまでに要する期間であり、リフレッシュ活性化信号 R E F の活性化期間である。リフレッシュ要求発行時に実行されるリフレッシュ期間は、リフレッシュ活性化信号 R E F により確保される。従って、以下に説明するように、このリフレッシュ期間遅延することにより、リフレッシュ要求 P H Y S F 1 および P H Y S 2 が同時に発行されても、ポーズリフレッシュ不良のメモリセルのリフレッシュ完了後に、ポーズリフレッシュ特性の優れたメモリセルのリフレッシュを実行することができ、リフレッシュ動作の

競合を防止することができる。

#### 【0220】

プログラマブルリフレッシュタイマ26aおよび26bの構成は、先の図6から図10において説明した構成と同じである。プログラマブルリフレッシュタイマ26aと26bのカウント値をプログラムした場合、リフレッシュ要求PHYS2の発行周期が、リフレッシュ要求ファーストPHYSF1の発行周期のたとえば整数倍に設定された場合、リフレッシュ要求PHYS1およびPHYS2が同時に発行される可能性がある。センスアンプを今日有しないメモリブロックにおいてメモリセルのリフレッシュが同時に実行される場合には、同時にリフレッシュが実行されても、データの衝突は生じず、正確にメモリセルのデータのリフレッシュを実行することができる。

#### 【0221】

しかしながら、同一メモリブロックにおいて同時に、フレッシュ要求PHYS1およびPHYS2に従って、異なるサブワード線が選択される状態が生じる可能性がある。そこで、遅延回路220を設け、このリフレッシュ要求PHYS1およびPHYS2が同時に発行されるのを防止する。

#### 【0222】

すなわち、図43に示すように、第1プログラマブルリフレッシュタイマ26aがリフレッシュ要求ファーストPHYSF1を、 $n \cdot T$ の間隔で発行する場合に、第2プログラマブルリフレッシュタイマ26bが、ピリオドTでリフレッシュ要求PHYS2を発行する状態を考える。この場合、 $n$ サイクル毎に、リフレッシュ要求PHYS2とリフレッシュ要求ファーストPHYSF1が同時に発行される。このとき、遅延回路220により、リフレッシュ要求ファーストPHYSF1を遅延することにより、まず、ポーズリフレッシュ特性不良のメモリセルのリフレッシュをリフレッシュ要求PHYS2に従って行ない、このリフレッシュ完了後にポーズリフレッシュ特性の優れたメモリセルのリフレッシュを、リフレッシュ要求PHYS1に従って実行する。

#### 【0223】

図44は、このリフレッシュ要求PHYS2およびリフレッシュ要求ファース

ト P H Y S F 1 が同時に発行される場合の動作を示すタイミング図である。リフレッシュ要求 P H Y S 2 が発行された場合、リフレッシュ活性化信号 R F 2 が、所定期間、図 2 0 に示す回路により活性化される。このリフレッシュ活性化信号 R E F 2 が非活性化状態となったときに、遅延回路 2 2 0 からのリフレッシュ要求 P H Y S 1 が発行され、リフレッシュ活性化信号 R E F 1 が活性化される。このリフレッシュ活性化信号 R E F 2 および R E F 1 それぞれに従ってリフレッシュ動作が実行される（リフレッシュアドレスが、プログラムされたアドレスに一致する場合）。この遅延回路 2 2 0 により、リフレッシュ動作の衝突を防止することができる。

#### 【 0 2 2 4 】

通常、リフレッシュ活性化信号 R E F 1 および R E F 2 の活性化期間は、数十 n s （ナノ秒）であり、一方、リフレッシュ要求 P H Y S 2 の発行ピリオドは、数百 n s から数  $\mu$  s （マイクロ秒）である。リフレッシュ要求 P H Y S 1 の発行ピリオドは、通常の D R A M においては、たとえば 1 6  $\mu$  s である。したがって、遅延回路 2 2 0 の有する遅延時間は、リフレッシュ要求 P H Y S 1 の発行周期に比べて十分短く、メモリセルの保持電荷量は十分にあり、確実に、メモリセルのデータのリフレッシュを行なうことができる。

#### 【 0 2 2 5 】

##### 〔センスアンプの詳細構成〕

図 4 5 は、各メモリブロックに対応して配置されるセンスアンプ帯に含まれるセンスアンプを制御する部分の構成を概略的に示す図である。図 4 5 において、メインワード線駆動信号 Z M W L 0 - Z M W L n をそれぞれ生成するメインワードドライバ M W D 0 - M W D n が、メインワード線 M W L 0 - M W L n に対応して配置される。メインワードドライバ M W D 0 - M W D n は、それぞれ、図 3 6 に示すメインワードドライバと同一構成を有する。

#### 【 0 2 2 6 】

メインワードドライバ M W D 0 は、デコード信号 X 1 a 0 または X 2 a 0 に従ってメインワード線駆動信号 Z M W L 0 を生成する。メインワードドライバ M W D n は、デコード信号 X 1 a n または X 2 a n に従ってメインワード線駆動信号

Z L W L n を生成する。

【 0 2 2 7 】

これらのメインワードドライバMWD 0 - MWD n 共通に、信号線 2 2 2 が配設される。この信号線 2 2 2 は、リセット信号Z X R S T に応答して、スタンバイ時導通するPチャネルMOSトランジスタ 2 2 4 により電源電圧レベルにプリチャージされる。メインワードドライバMWD 0 - MWD n それぞれにおいては、図 3 6 に示す構成に加えて、CMOSインバータ 1 9 2 の出力信号に従って選択的に導通し、導通時、信号線 2 2 2 を接地電圧レベルへ放電するドライブトランジスタTX 0 - TX n が設けられる。

【 0 2 2 8 】

したがって、メインワード線MWL 0 - MWL n のいずれかが選択状態へ駆動される場合には、ドライブトランジスタTX 0 - TX n のいずれかが導通し、信号線 2 2 2 が接地電圧レベルへ放電される。一方、メインワード線MWL 0 - MWL n が全て非選択状態の場合には、ドライブトランジスタTX 0 - TX n はすべて非導通状態であり、信号線 2 2 2 がプリチャージ電圧レベルに維持される。

【 0 2 2 9 】

センスアンプを制御するため、この信号線 2 2 2 上の信号とセンスアンプ活性化信号Z S 0 N M を受けるOR回路 2 2 6 と、OR回路 2 2 6 の出力信号に従って対応のセンスアンプ帯に対するセンス活性化信号Z S 0 P およびS 0 N を生成するローカルセンス制御回路 2 3 0 が設けられる。このローカルセンス制御回路 2 3 0 は、ブロック選択信号B S 1 およびB S 2 を受けるOR回路 2 2 8 の出力信号に従って選択的に活性化される。対応のセンスアンプ帯を共有するメモリブロックのいずれかが選択されたときに、このローカルセンス制御回路 2 3 0 がイネーブルされ、OR回路 2 2 6 の出力信号に従ってローカルセンス制御信号Z S 0 P およびZ S 0 N を生成する。したがって、このセンスアンプ帯を共有するメモリブロックそれぞれに対して、このOR回路 2 2 8 が設けられる。

【 0 2 3 0 】

図 4 6 は、図 4 5 に示すセンス制御部の動作を示す信号波形図である。以下、この図 4 6 を参照して、図 4 5 に示すセンス制御部の動作について説明する。リ

フレッシュ要求 P H Y S 2 が発行されて、ポーズリフレッシュ不良アドレスが指定されたとき、メインワード線駆動信号 Z L W L が、デコード信号 X 2 a (X 2 a 0 - X 2 a n のいずれか) に従って選択状態が L レベルへ駆動され、メインワード線 M W L 0 - M W L n のいずれかが選択状態へ応じて駆動される。

## 【 0 2 3 1 】

所定期間が経過すると、図 4 0 に示すセンスアンプ活性化回路 2 1 6 により、センス活性化信号 Z S O N M が活性化される。メインワード線 M W L 0 - M W L n のいずれかが、選択されているため、ドライバトランジスタ T S 0 - T S n のいずれかが導通し、信号線 2 2 2 が接地電圧レベルに放電される。したがって O R 回路 2 2 6 に従って、センス活性化信号 Z S O N M が、ローカルセンス制御回路 2 3 0 へ与えられる。この場合、ブロック選択信号 B S 2 に従って O R 回路 2 2 8 の出力信号が H レベルとなり、ローカルセンス制御回路 2 3 0 が、センス制御信号 Z S O P を L レベルへ駆動し、またローカルセンス制御信号 S O N を H レベルへ駆動する。これにより、対応のセンスアンプ帯においてセンスアンプが活性化され、ビット線に読出されたメモリセルデータの検知、増幅および再書込が実行される。

## 【 0 2 3 2 】

所定期間が経過すると、メインワード線駆動信号 Z M W L が H レベルとなり、またセンス活性化信号 Z S O N M も H レベルとなる。応じて、ローカルセンス制御回路 2 3 0 が、ローカルセンス制御信号 Z S O P を H レベルに駆動し、またローカルセンス制御信号 S O N を L レベルに駆動する。これにより、ポーズリフレッシュ不良のメモリセルのリフレッシュが確実に実行される。

## 【 0 2 3 3 】

次のリフレッシュ要求 P H Y S 2 が発行されたとき、そのとき同時に更新されたリフレッシュアドレスも発行される。このリフレッシュアドレスが、ポーズリフレッシュ不良と異なるメモリセル行を指定している場合は、メインワード線 M W L 0 - M W L n が、すべて非選択状態である。信号線 2 2 2 は、リフレッシュ動作完了後、M O S トランジスタ 2 2 4 により、電源電圧レベルにプリチャージされている。したがって、この状態においては、ドライバトランジスタ T X 0 -



T X<sub>n</sub>はすべて非導通状態であり、信号線 2 2 2 が H レベルを維持する。したがって、リフレッシュ要求 P H Y S 2 に従って図 4 0 に示す行系制御回路が動作し、センス活性化信号 Z S O N M が活性化されても、O R 回路 2 2 6 の出力信号は H レベルであり、ローカルセンス制御回路 2 3 0 は、ローカルセンス制御信号 Z A O P および S O N を非活性状態に維持する。したがって、センスアンプ帯においてはセンスアンプはすべて非活性状態に維持される。

## 【 0 2 3 4 】

ポーズリフレッシュ不良のメモリセル行の数は、正常なセルフリフレッシュ特性を有するメモリセル行に比べてその数は十分に少ない。したがって、リフレッシュアドレス Q A D 2 に従って選択されるメモリセル行は、常に、このリフレッシュ要求 P H Y S 2 の発行周期（ピリオド）と同一周期で選択状態へ駆動されない。ポーズリフレッシュ不良のメモリセル行（ワード線）のリフレッシュサイクルが、他のメモリセル行（ワード線）のリフレッシュサイクル（たとえば 6 4 m s ）に比べ、短くされるだけである。したがって、リフレッシュ要求 P H Y S 2 が発行されても、そのリフレッシュアドレス Q A D 2 が、ポーズリフレッシュ特性の優れたメモリセル行を指定している場合には、ワード線の実選は行なわれない。したがって、このときには、センスアンプの動作を停止する。また、リフレッシュ要求 P H Y S 1 が発行され、リフレッシュアドレス Q A D 1 が、ポーズリフレッシュ不良のメモリセル行を指定している場合には、このリフレッシュ要求 P H Y S 1 が発行されても、メモリセル行の実選状態への駆動は行なわれない。したがって、このときにも、センスアンプ回路の動作を停止する。これにより、セルフリフレッシュモード時において最も大きく電流が消費されるセンスアンプ回路の動作を停止させることにより、消費電流を確実に低減することができる。

## 【 0 2 3 5 】

セルフリフレッシュ不良のメモリセル行のリフレッシュサイクルを、従来行なわれていた最悪ケースのそれと同程度に設定し、他のメモリセル行に対するリフレッシュサイクルを十分に長くすることにより、従来に較べて、リフレッシュ回数を大幅に低減することができ、またメモリセル実選時においてのみセンスアンプ回路が動作するため確実に消費電流を低減することができる。

## 【 0 2 3 6 】

なお、リフレッシュ要求 P H Y S 1 および P H Y S 2 に対してリフレッシュ競合回避のための仲裁回路を配置してもよい。リフレッシュ要求 P H Y S 1 および P H Y S 2 がともに発行された時には、リフレッシュ要求 P H Y S 2 に従ってリフレッシュ活性化信号 R E F 2 を活性化し、その後、リフレッシュ要求 P H Y S 1 に従ってリフレッシュ活性化信号 R E F 1 を活性化する。リフレッシュ要求ファースト P H Y S F 1 および P H Y S F 2 を受ける A N D 回路の出力信号が H レベルとなると、リフレッシュ要求 P H Y S 2 をまず発行し、リフレッシュ要求 P H Y S 1 の発行をリフレッシュ活性化信号 R E F 2 の非活性化まで待合わせる。このような構成でもリフレッシュの競合を回避することができる。ポーズリフレッシュ不良のメモリセルのリフレッシュを先に実行することにより、データを確実にリフレッシュする。

## 【 0 2 3 7 】

なお、オートリフレッシュモード時においては、外部からリフレッシュ指示が与えられる。この場合、応答リフレッシュは、最悪ポーズリフレッシュ特性を想定して発行する。これにより、外部からのアドレスに従ってポートリフレッシュ特性の不良に対しても、確実に、データを保持することができる。

## 【 0 2 3 8 】

## 【発明の効果】

以上のように、この発明に従えば、リフレッシュ要求発行周期の異なるリフレッシュ要求発行回路およびリフレッシュアドレス発生回路を受け、またロウデコード回路を、これらの要求の異なるリフレッシュアドレスそれぞれに対して設けており、ポーズリフレッシュ特性に応じた最適な周期でメモリセルのリフレッシュを行なうことができる。セルフリフレッシュモード時において、ポーズリフレッシュ特性不良のメモリセルに対してのみ早い周期でリフレッシュを行ない、他の優良ポーズリフレッシュ特性のメモリセルに対して長い周期でリフレッシュを行なう。ポーズリフレッシュ不良のメモリセル行の数は、ポーズリフレッシュ良のメモリセル行の数に比べて特に少ない。したがって、ポーズリフレッシュ特性の優れたメモリセルを長い周期でリフレッシュすることにより、リフレッシュ（

センスアンプ動作)の回数を低減でき、セルフリフレッシュモード時の消費電流を大幅に低減することができる。

【図面の簡単な説明】

【図 1】 この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図 2】 図 1 に示すリフレッシュ制御回路の構成を概略的に示す図である。

【図 3】 図 2 に示すリフレッシュ回路の動作を示す信号波形図である。

【図 4】 図 2 に示すクロック発生回路の構成の一例を示す図である。

【図 5】 図 2 に示すクロック発生回路の動作を示すタイミング図である。

【図 6】 図 2 に示すプログラマブルリフレッシュタイマの構成を概略的に示す図である。

【図 7】 図 6 に示すカウント制御回路の構成の一例を示す図である。

【図 8】 図 7 に示すカウント制御回路の動作を示すタイミング図である。

【図 9】 図 6 に示すリフレッシュ、プログラム回路の構成を示す図である。

【図 10】 図 6 に示すリフレッシュ、プログラム回路の構成を示す図である。

【図 11】 図 9 および図 10 に示すリフレッシュ、プログラム回路のプログラム状態を一覧にして示す図である。

【図 12】 図 6 に示すカウント回路の構成を概略的に示す図である。

【図 13】 図 12 に示す 1 ビットカウンタの構成の一例を示す図である。

【図 14】 図 13 に示す 1 ビットカウンタの動作を示すタイミング図である。

【図 15】 図 12 に示す上位 1 ビットカウンタの構成を示す図である。

【図 16】 図 15 に示す 1 ビットカウンタの動作を示すタイミング図である。

【図 17】 図 15 に示す 1 ビットカウンタの動作を示すタイミング図である。

【図 1 8】 図 1 3 および図 1 5 に示す 1 ビットカウンタのカウント回路の動作を示すタイミング図である。

【図 1 9】 図 1 3 および図 1 5 に示す 1 ビットカウンタのカウント回路の動作を示すタイミング図である。

【図 2 0】 図 2 に示すリフレッシュ活性化回路の構成の一例を示す図である。

【図 2 1】 図 2 0 に示すリフレッシュ活性化回路の動作を示す信号波形図である。

【図 2 2】 図 1 に示す行系制御回路の一部の構成を概略的に示す図である。

【図 2 3】 図 2 に示すリフレッシュアドレス発生回路の構成を概略的に示す図である。

【図 2 4】 図 2 3 に示すアドレス更新制御回路の構成の一例を示す図である。

【図 2 5】 図 2 4 に示すアドレス更新制御回路の動作を示す信号波形図である。

【図 2 6】 図 2 3 に示すアドレスカウンタの構成を概略的に示す図である。

【図 2 7】 図 2 6 に示す 1 ビットカウンタの構成の一例を示す図である。

【図 2 8】 図 2 7 に示す 1 ビットカウンタの動作を示す信号波形図である。

【図 2 9】 図 2 6 に示すアドレスカウンタの動作を示す信号波形図である。

【図 3 0】 図 1 に示すアドレス選択回路の構成の一例を示す図である。

【図 3 1】 図 3 0 に示すアドレス選択回路の動作を示す信号波形図である。

【図 3 2】 図 1 に示す第 1 行選択回路の構成を概略的に示す図である。

【図 3 3】 図 3 2 に示すヒューズプログラム回路の構成の一例を示す図である。

【図 3 4】 図 1 に示す第 2 行選択回路の構成を概略的に示す図である。

【図 3 5】 図 3 4 に示すヒューズプログラム回路の構成の一例を示す図である。

【図 3 6】 図 1 に示す行駆動回路の構成を概略的に示す図である。

【図 3 7】 図 1 に示すメモリセルアレイの構成を概略的に示す図である。

【図 3 8】 図 3 7 に示すサブワードドライバ体の構成を概略的に示す図である。

【図 3 9】 図 3 7 に示すサブデコーダの構成の一例を示す図である。

【図 4 0】 図 1 に示す行系制御回路の構成を概略的に示す図である。

【図 4 1】 図 4 0 に示す行系制御回路の動作を示す信号波形図である。

【図 4 2】 図 2 に示すリフレッシュタイマの変更例を示す図である。

【図 4 3】 図 4 2 に示すリフレッシュタイマの動作を示す信号波形図である。

【図 4 4】 図 4 2 に示すリフレッシュタイマを用いたときのリフレッシュ動作を示す信号波形図である。

【図 4 5】 図 1 に示す行系制御回路のセンスアンプ制御部の構成を概略的に示す図である。

【図 4 6】 図 4 5 に示すセンスアンプ制御部の動作を示す信号波形図である。

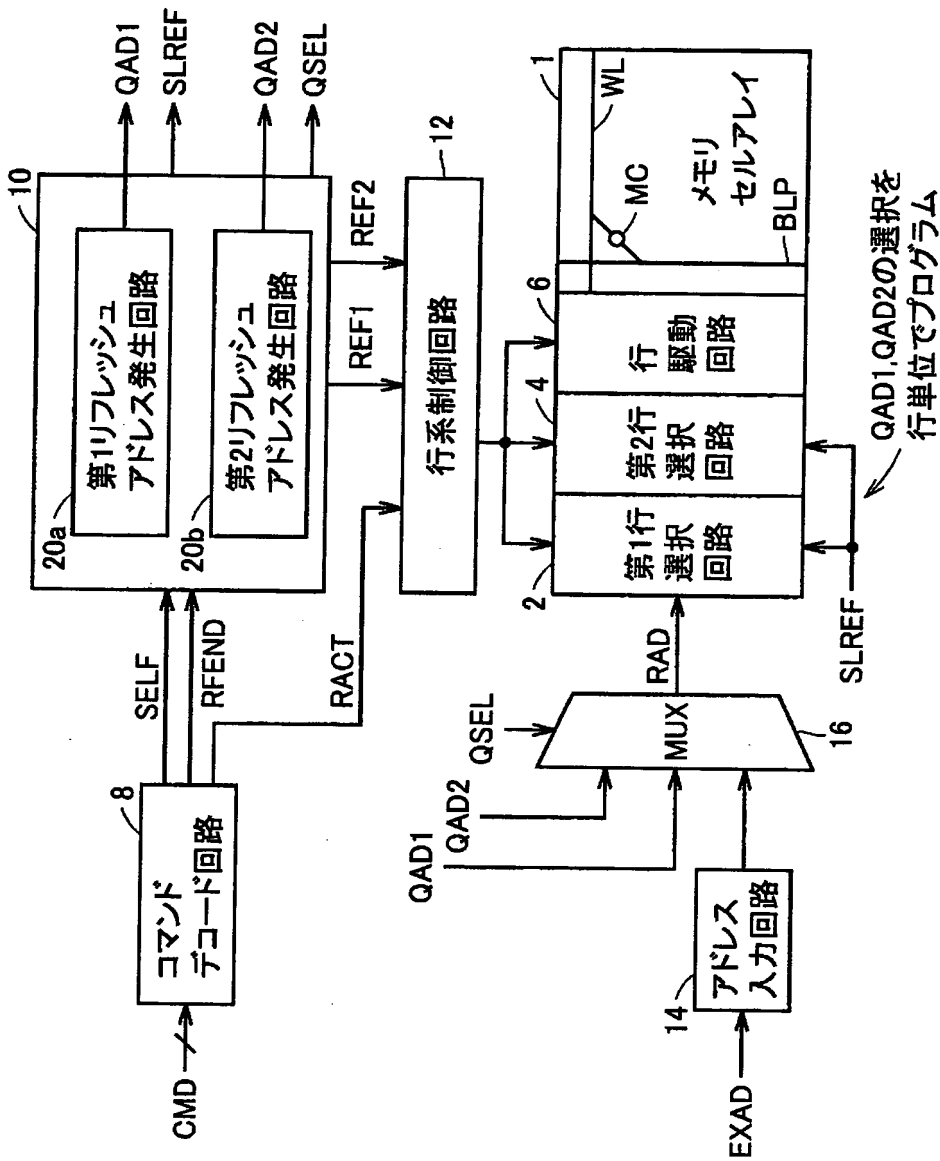
#### 【符号の説明】

1 メモリセルアレイ、2 第 1 行選択回路、4 第 2 行選択回路、6 行駆動回路、8 コマンドデコード回路、10 リフレッシュ制御回路、12 行系制御回路、14 アドレス入力回路、16 アドレス選択回路、20a 第 1 リフレッシュアドレス発生回路、20b 第 2 リフレッシュアドレス発生回路、22 セルフリフレッシュモード設定回路、24 クロック発生回路、26a 第 1 プログラマブルリフレッシュタイマ、26b 第 2 プログラマブルリフレッシュタイマ、28a 第 1 リフレッシュ活性化回路、28b 第 2 リフレッシュ活性化回路、40 リフレッシュ、プログラム回路、41 カウント回路、42 カウント制御回路、71-76 1 ビットカウンタ、120 アドレス更新制御

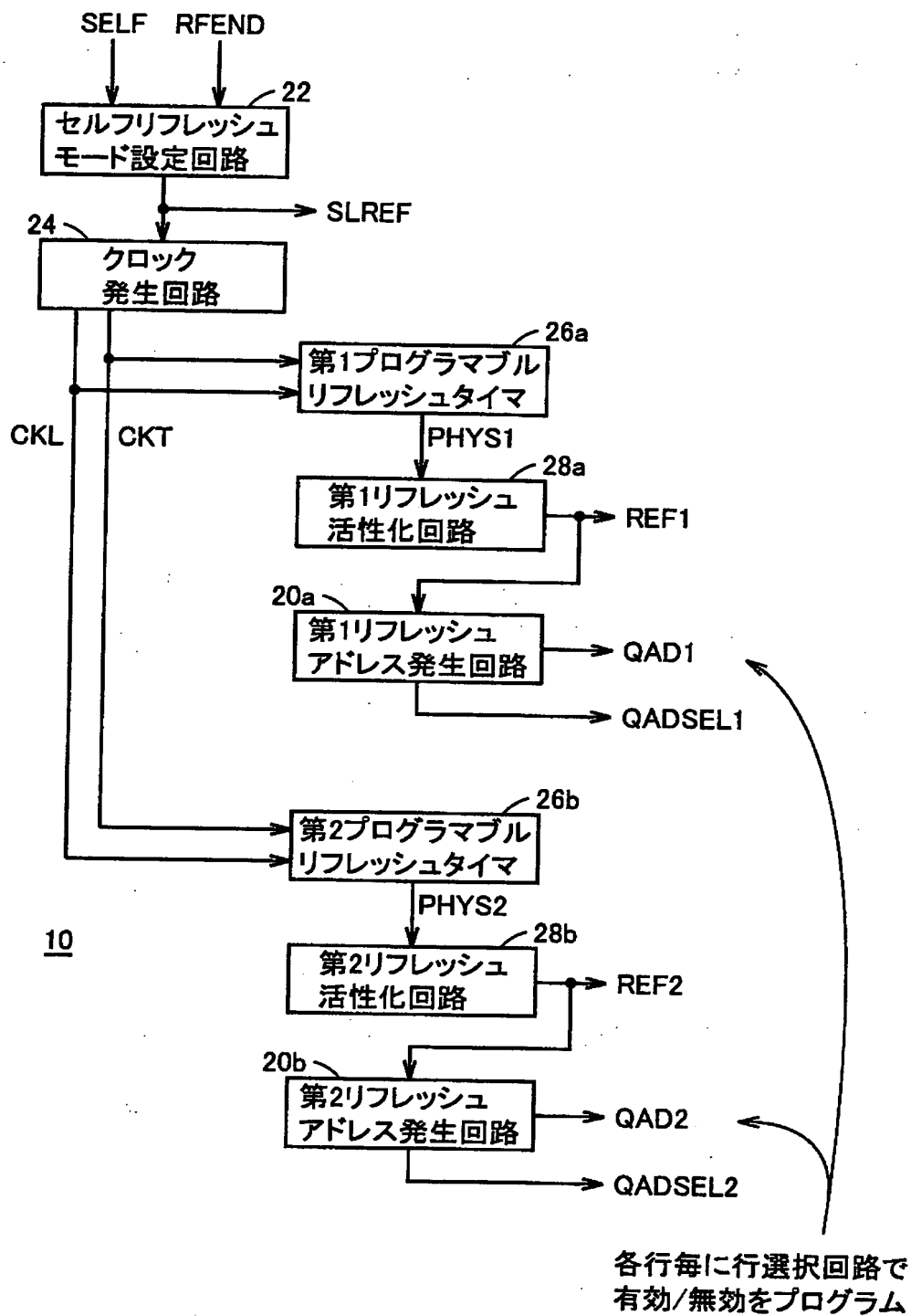
回路、122 アドレスカウンタ、QNT0-QNT12 1ビットカウンタ、  
150 ブロックデコーダ、152 ロウプリデコーダ、154 ヒューズプロ  
グラム回路、156 ロウデコード回路、170 ブロックデコーダ、172  
ロウプリデコーダ、174 ヒューズプログラム回路、176 ロウデコード回  
路、200 サブデコーダ、222 信号線、230 ローカルセンス制御回路  
。

【書類名】 図面

【図1】

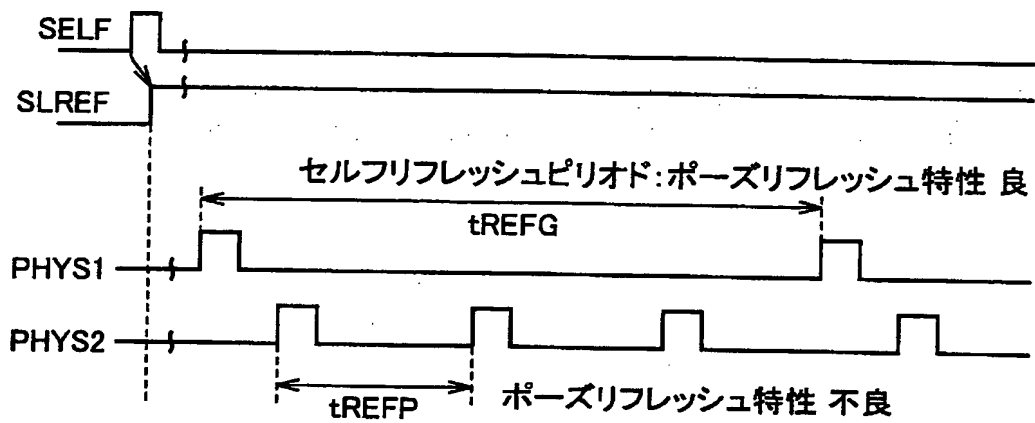


【図 2】

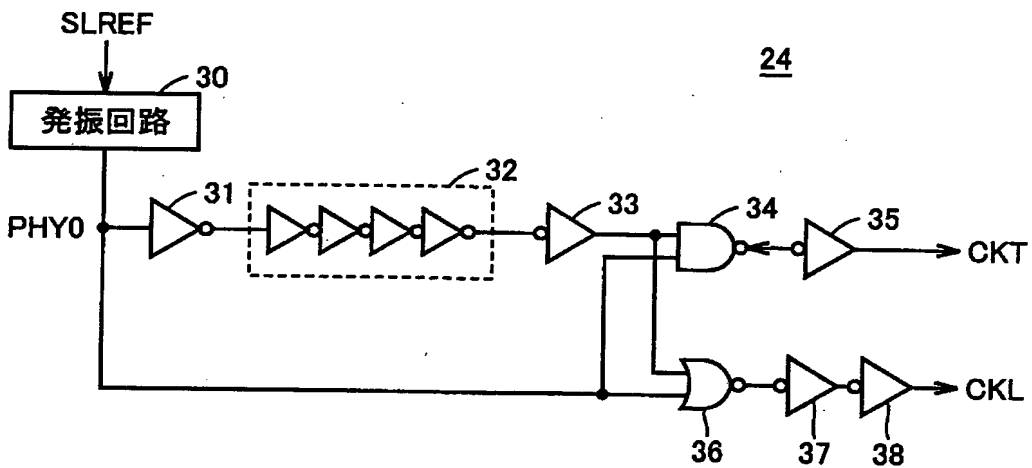




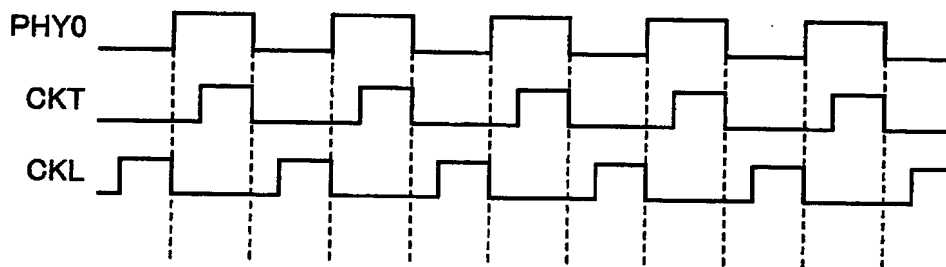
【図 3】



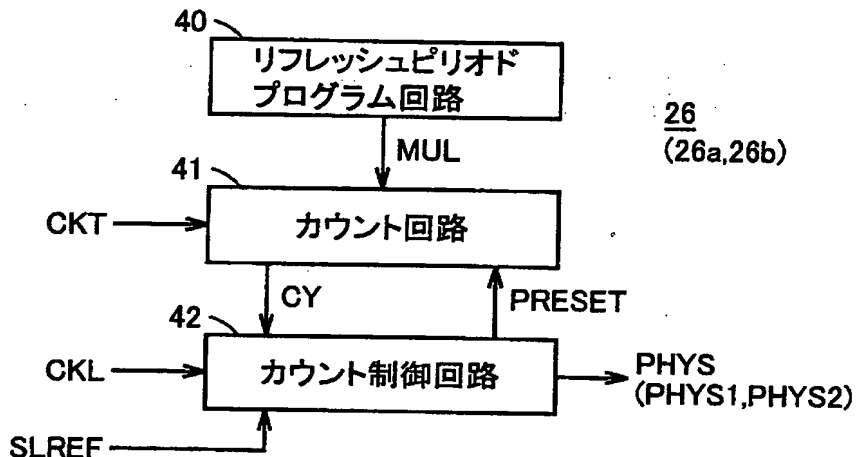
【図 4】



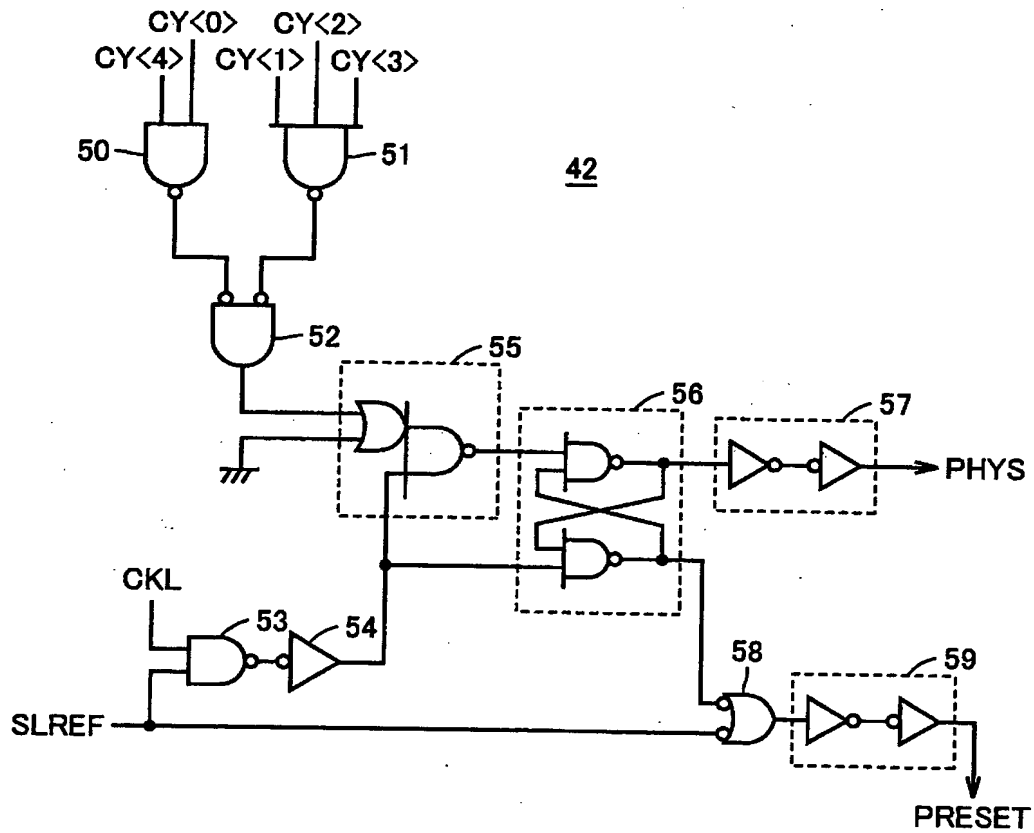
【図 5】



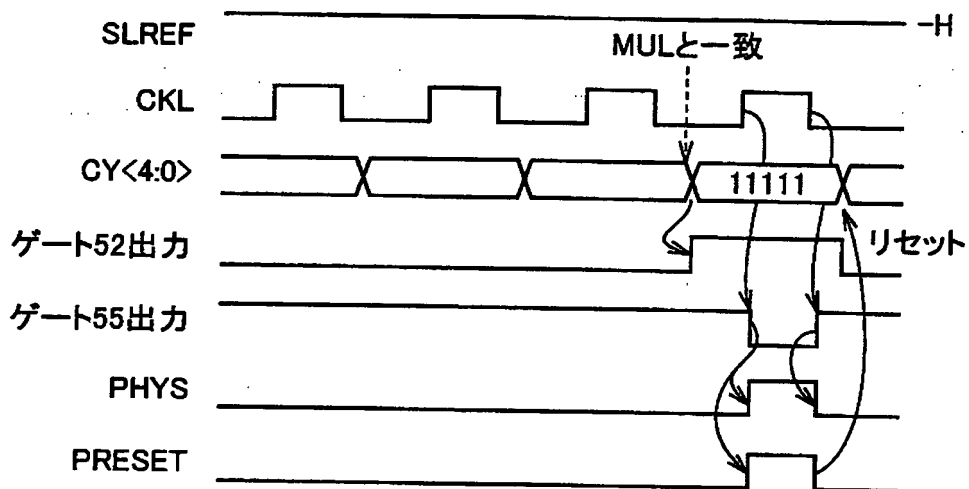
【図 6】



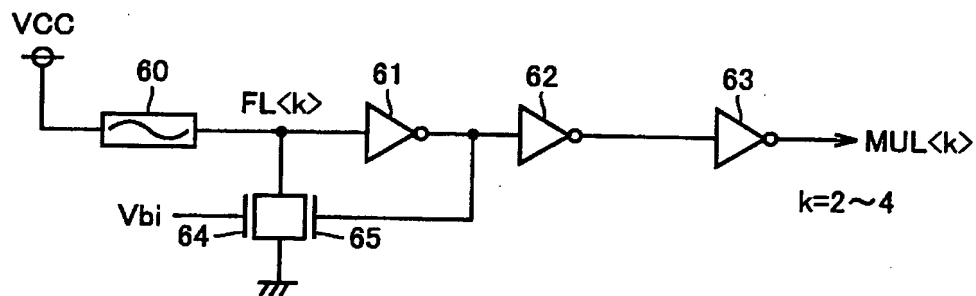
【図 7】



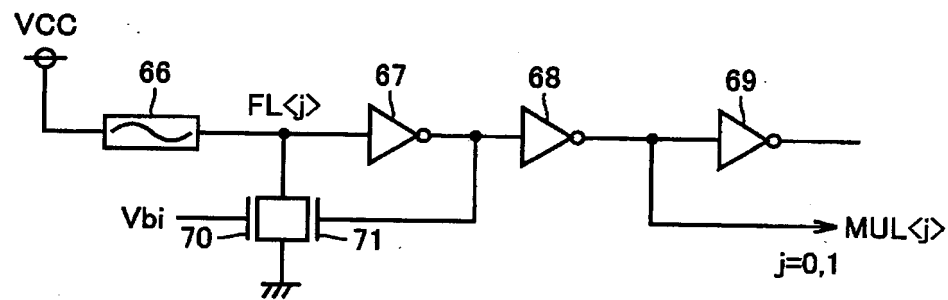
【図8】



【図9】



【図10】



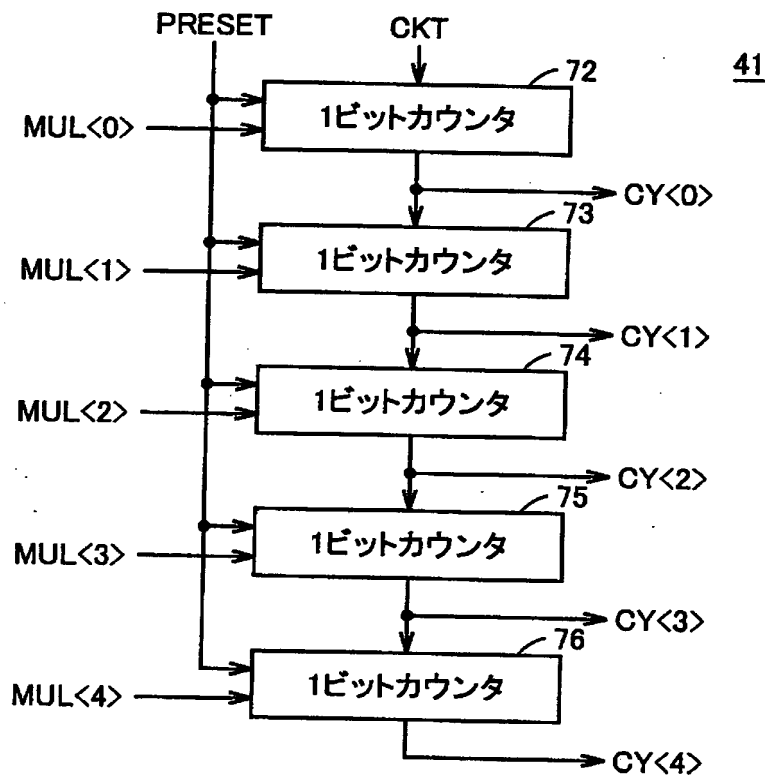
【図 1 1】

	ヒューズ 状態	信号 レベル	ヒューズ 状態	信号 レベル	ヒューズ 状態	信号 レベル
MUL<4>	○	L	○	L	×	H
MUL<3>	○	L	○	L	×	H
MUL<2>	○	L	×	H	×	H
MUL<1>	○	H	○	H	○	H
MUL<0>	○	H	○	H	○	H

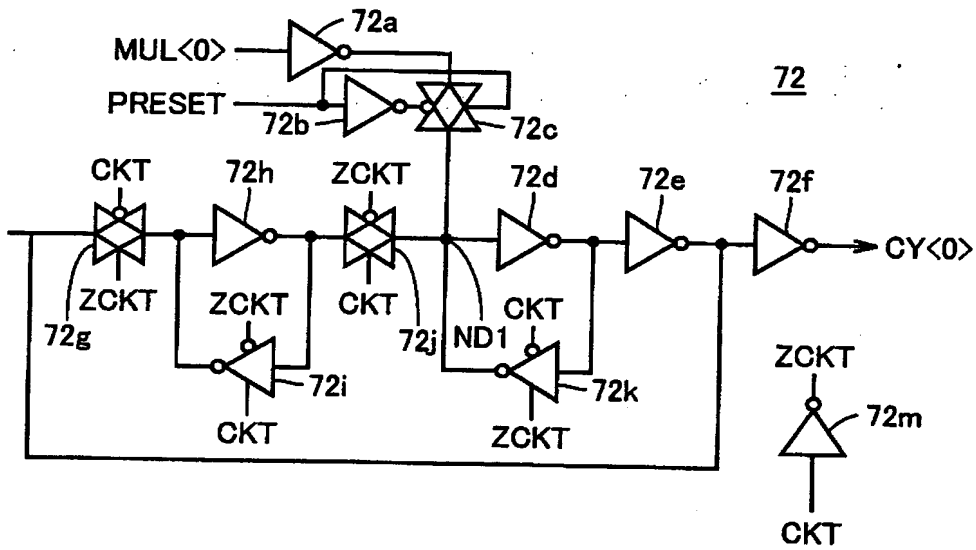
○: 非溶断  
×: 溶断

短 ← リフレッシュピリオド → 長

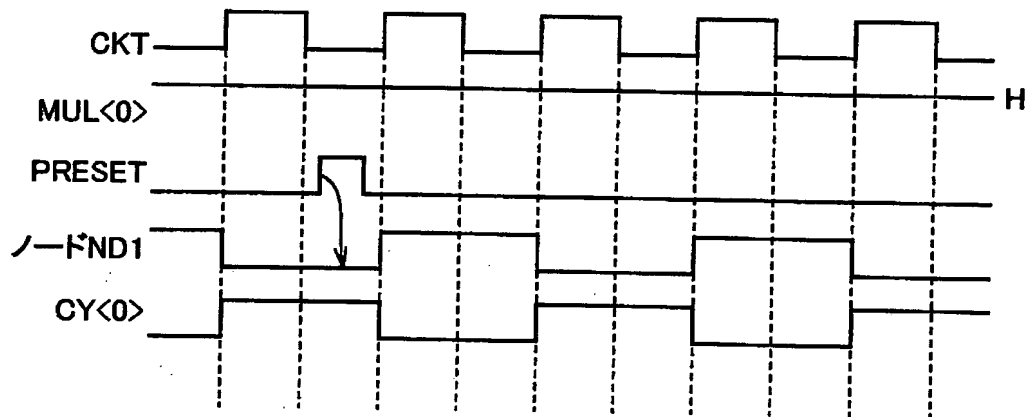
【図 1 2】



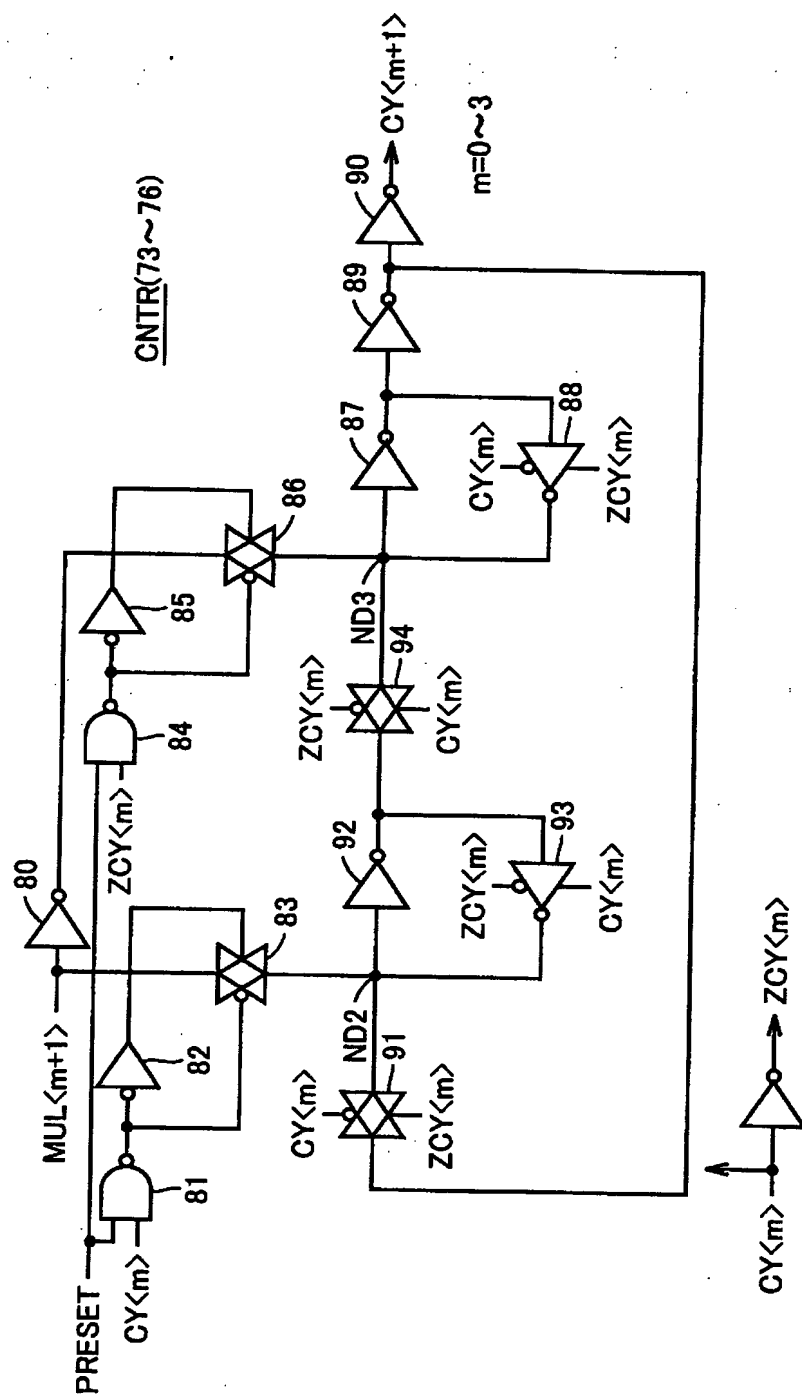
【図13】



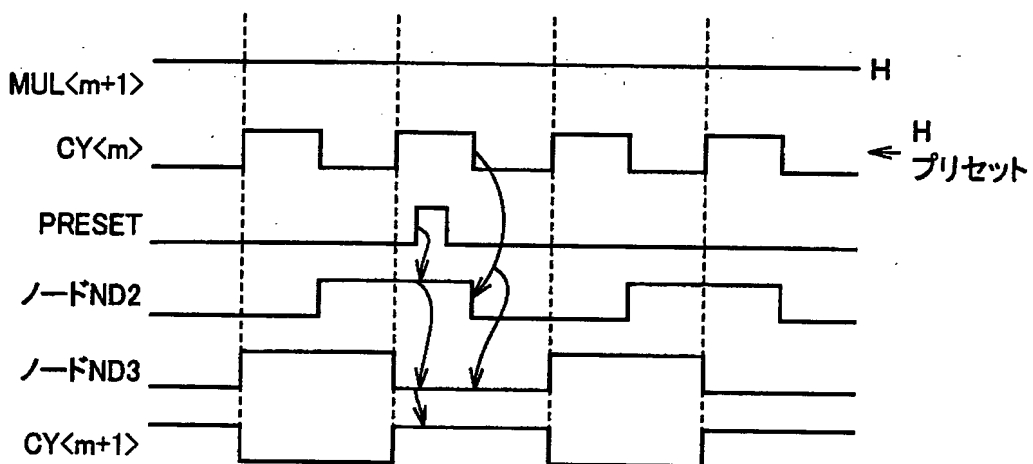
【図14】



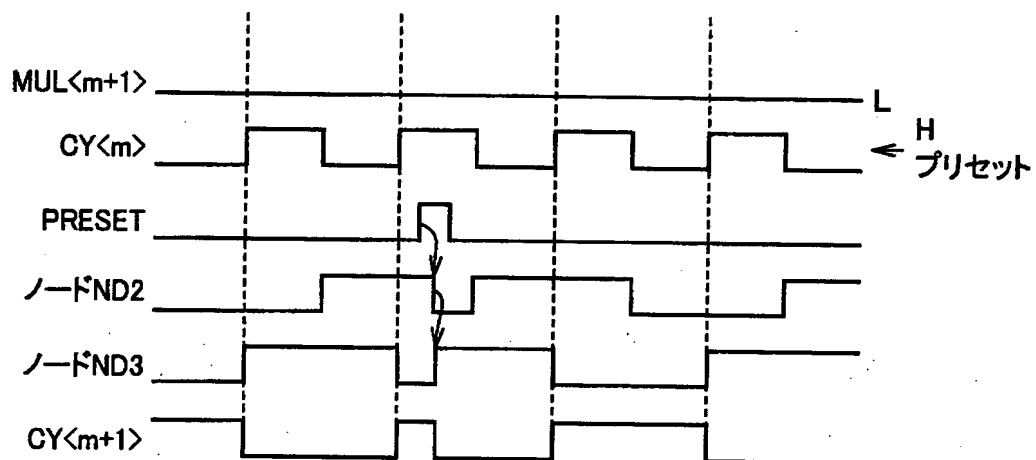
【図15】



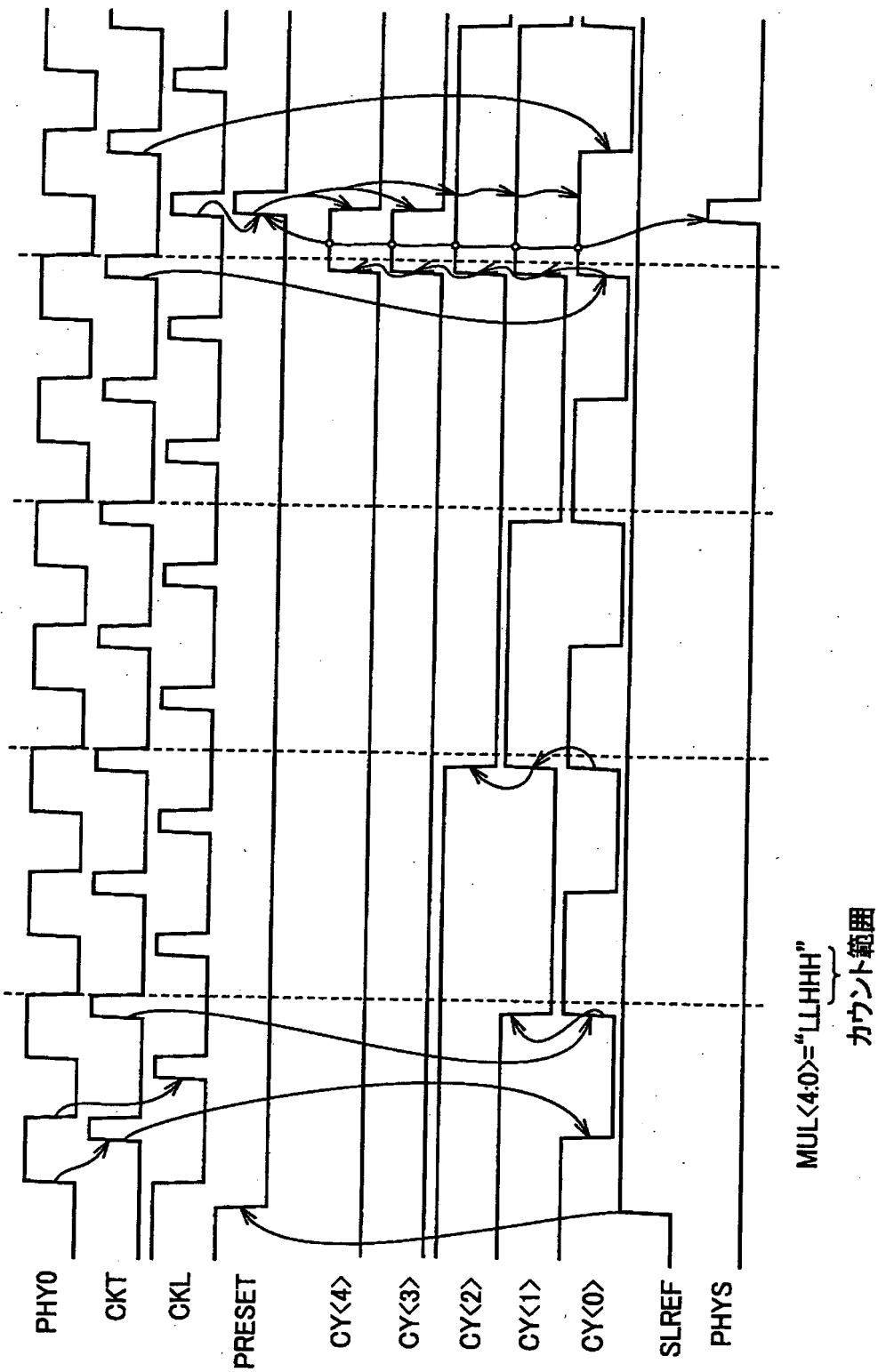
【図 1 6】



【図 1 7】

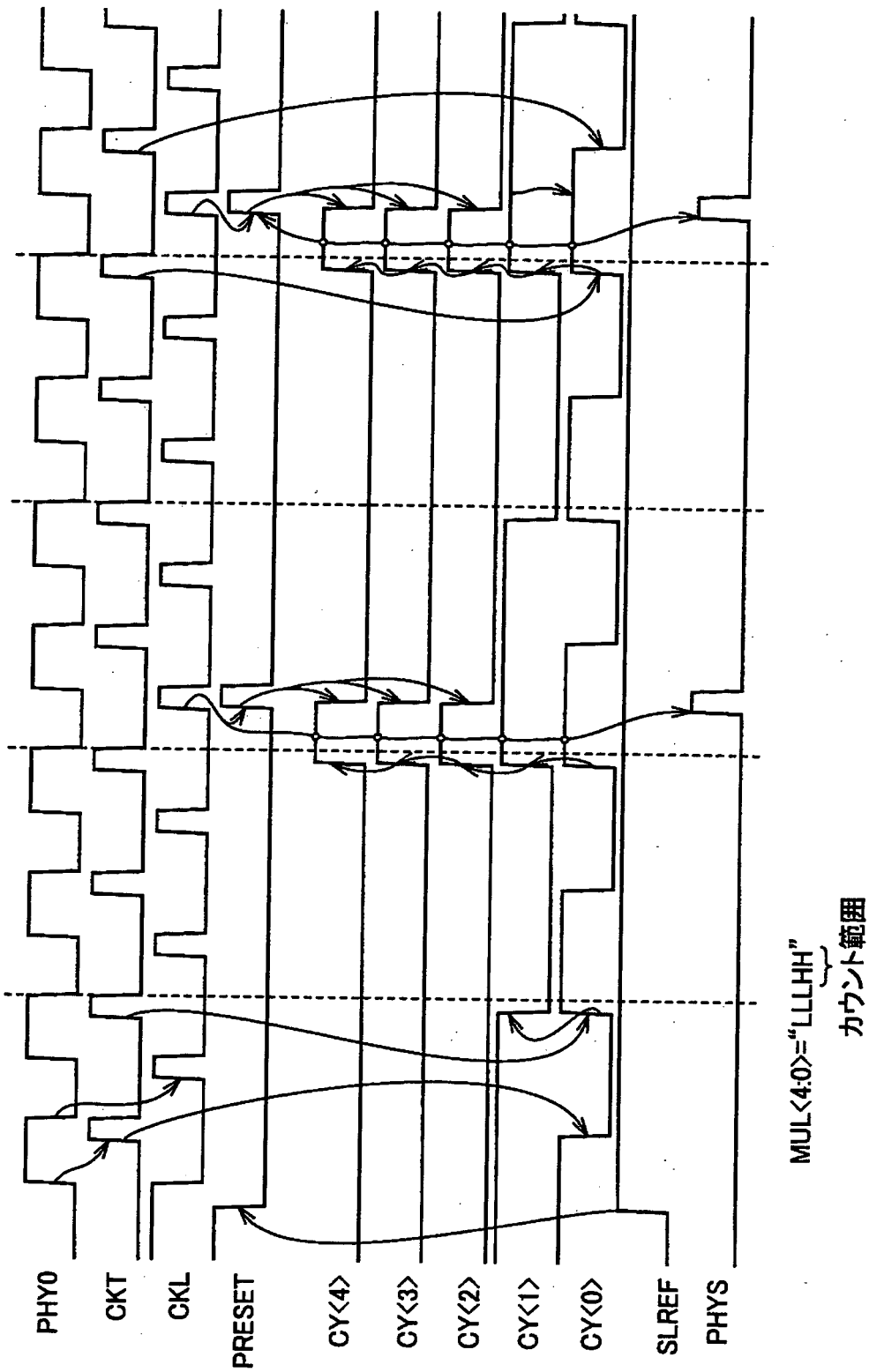


【図18】

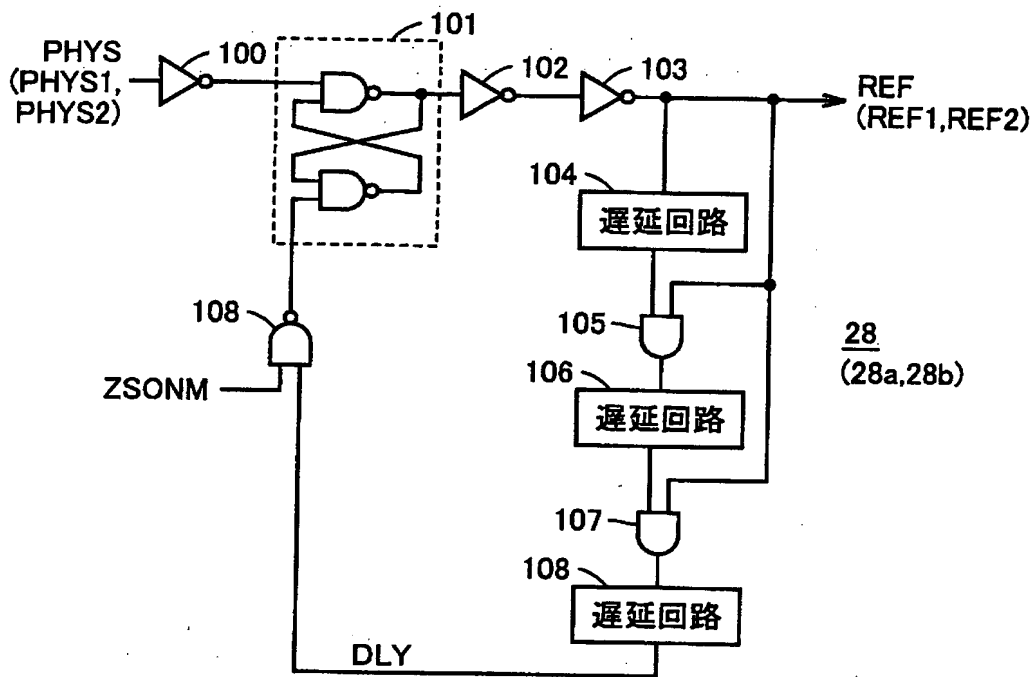




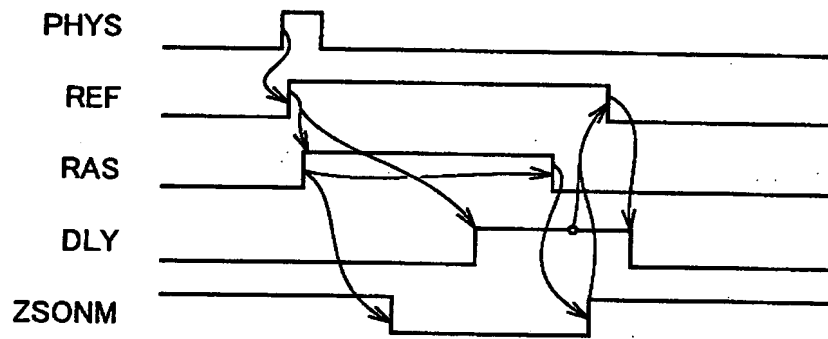
【図19】



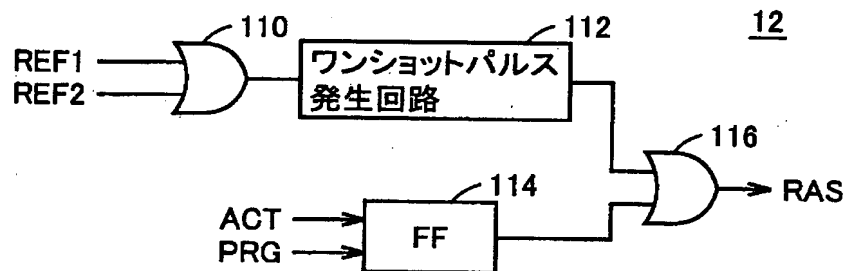
【図 2 0】



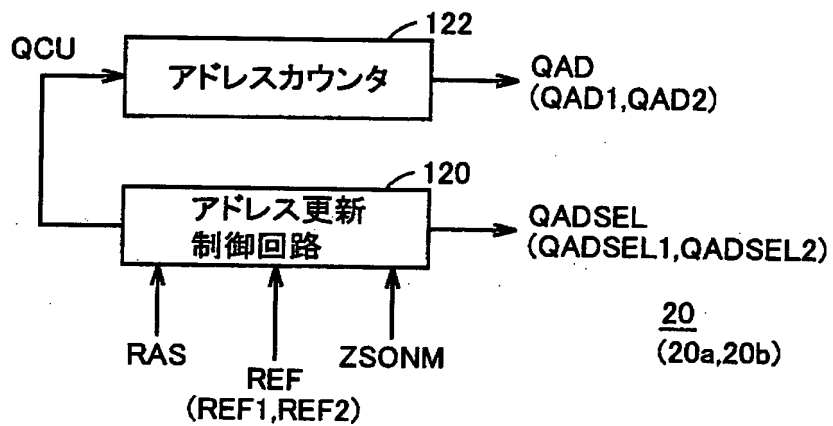
【図 2 1】



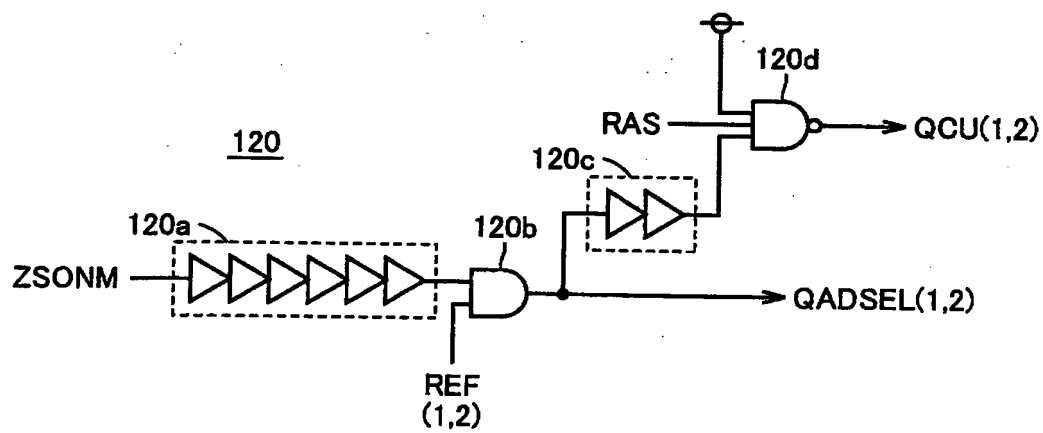
【図 2 2】



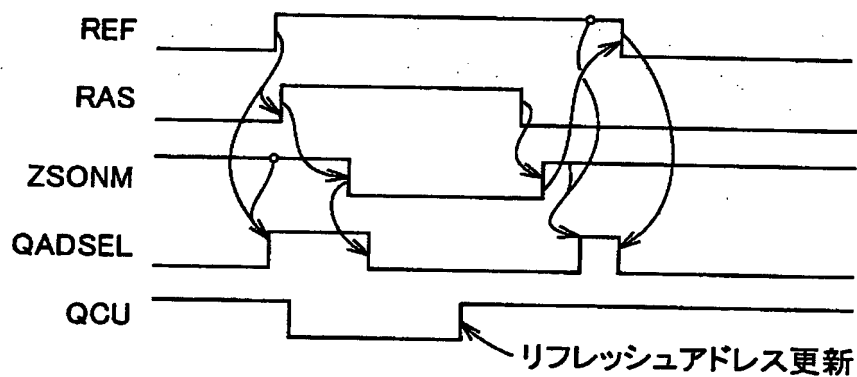
【図 2 3】



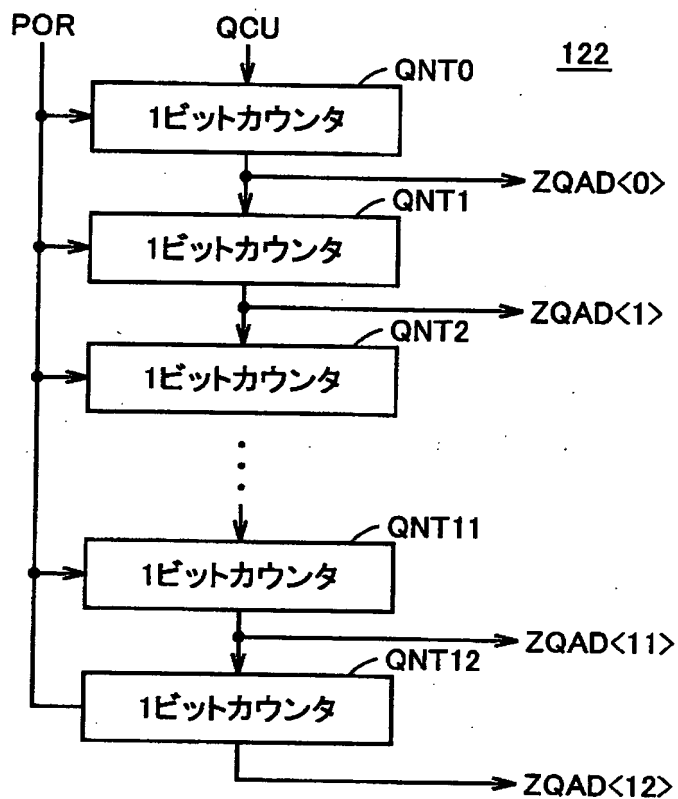
【図 2 4】



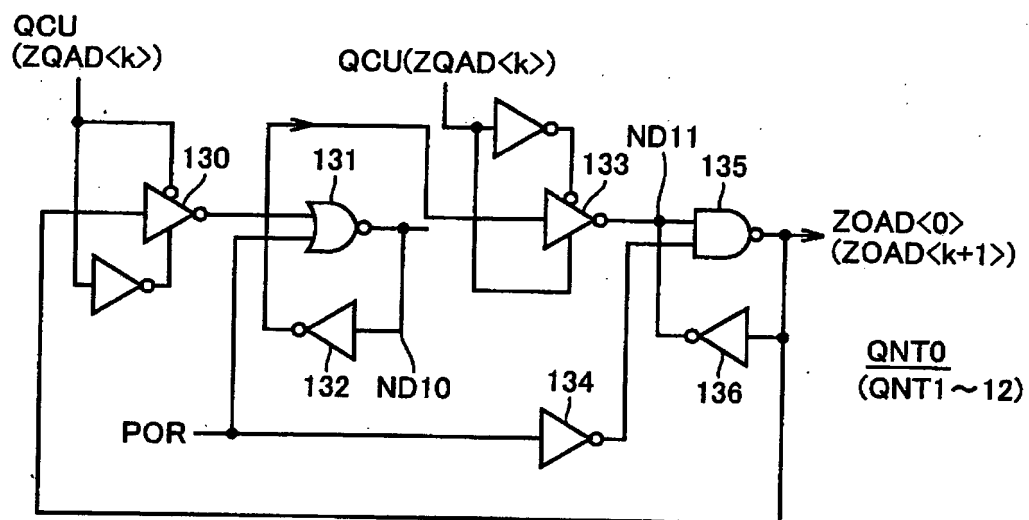
【図 2 5】



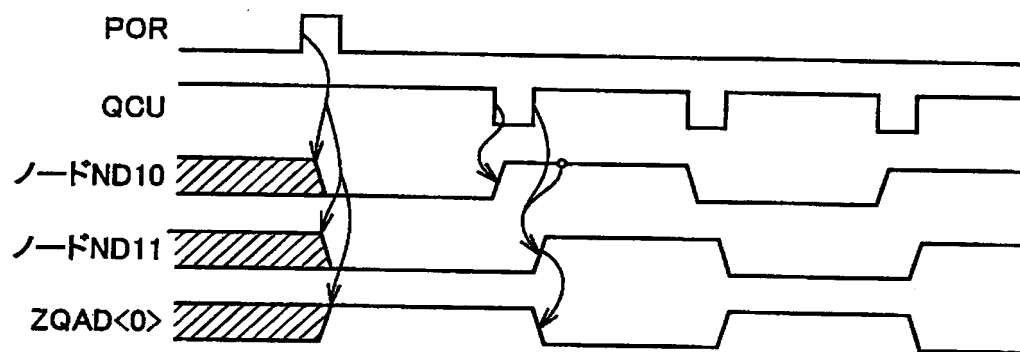
【図 26】



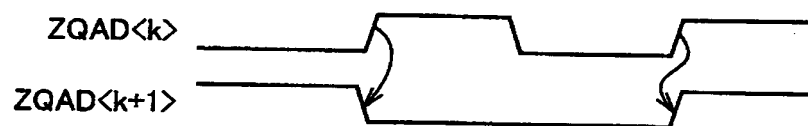
【図 27】



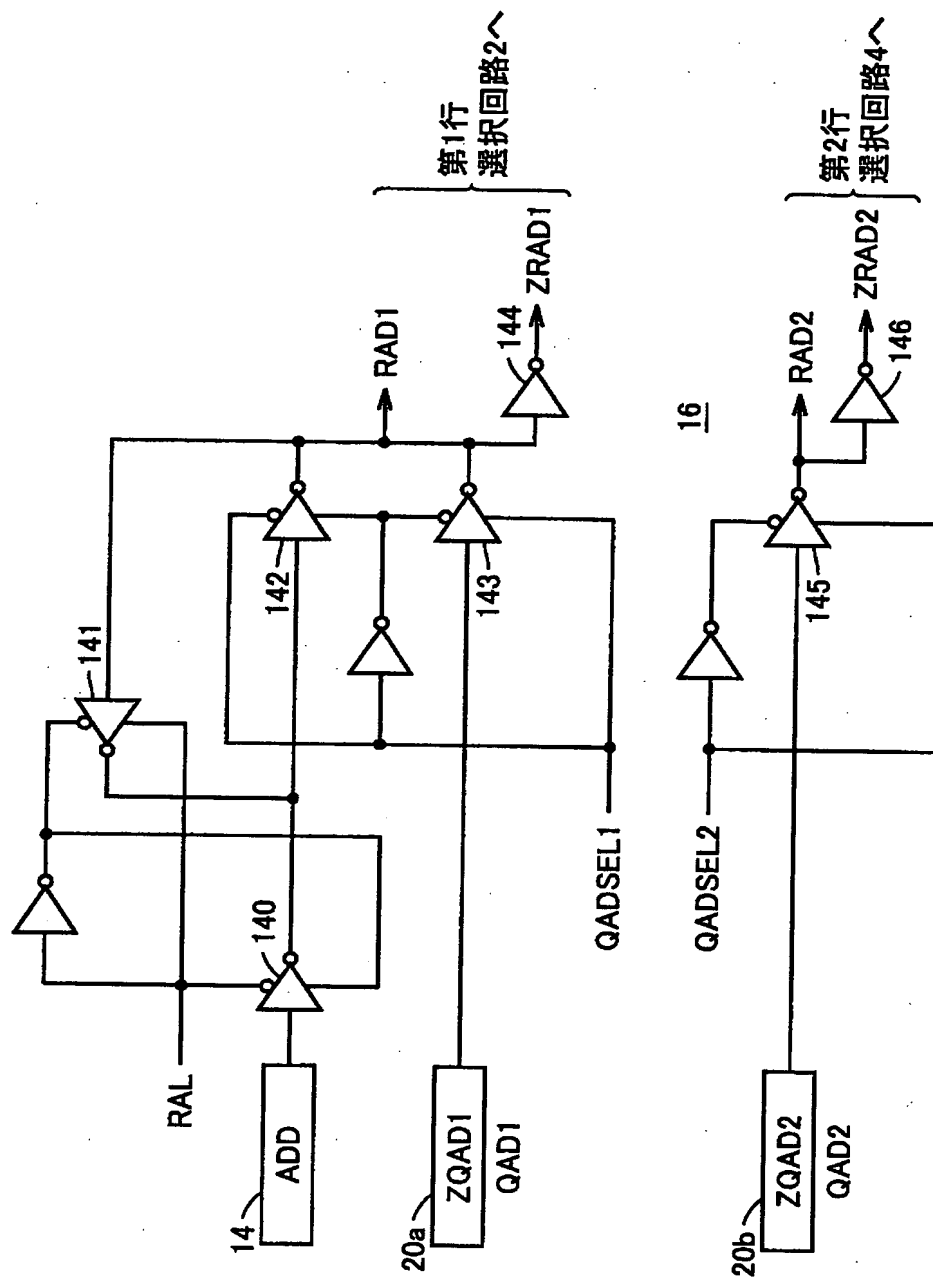
【図 28】



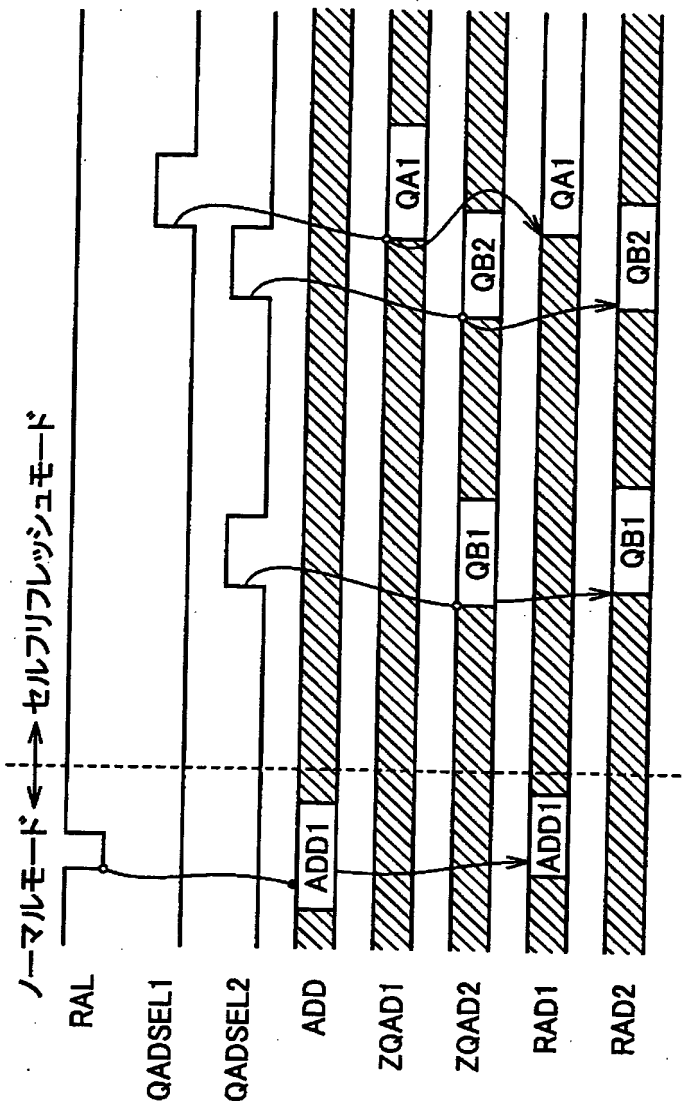
【図 29】



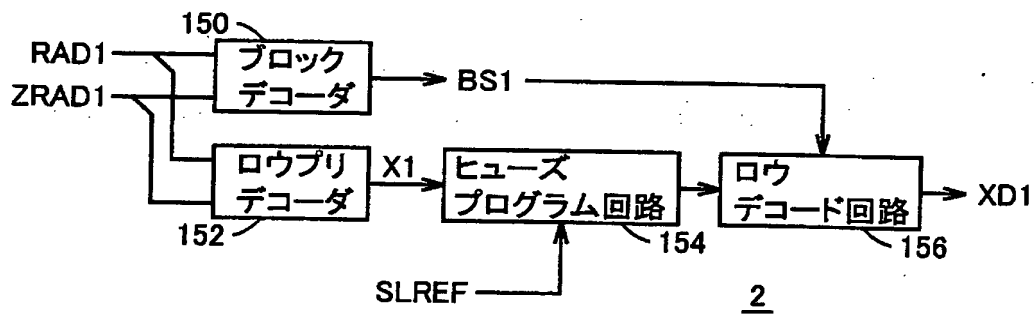
【図 3 0】



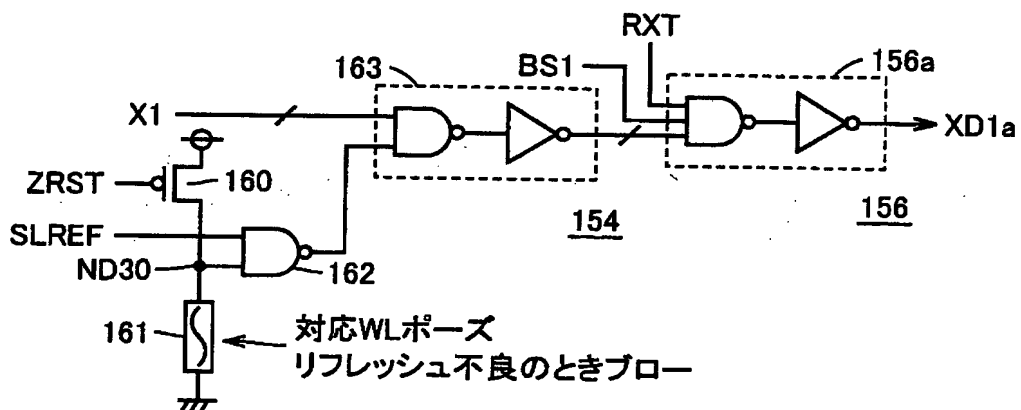
【図31】



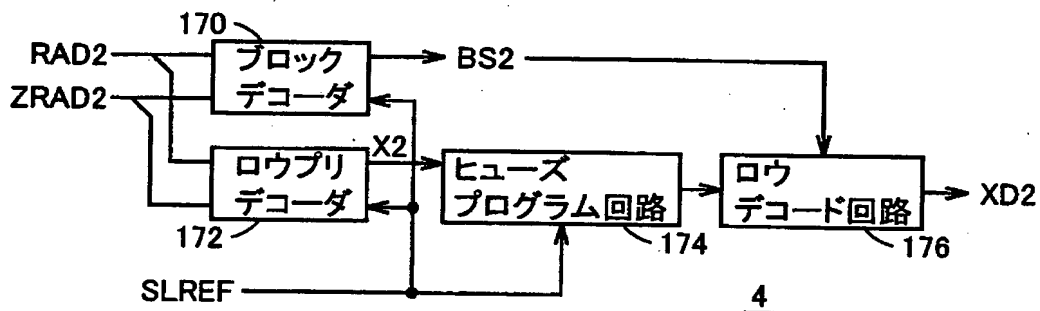
【図32】



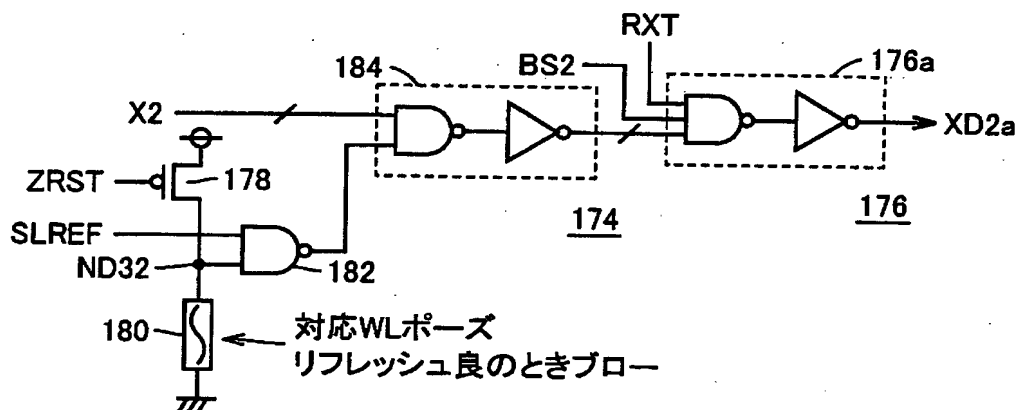
【圖 3 3】



【図 3 4】

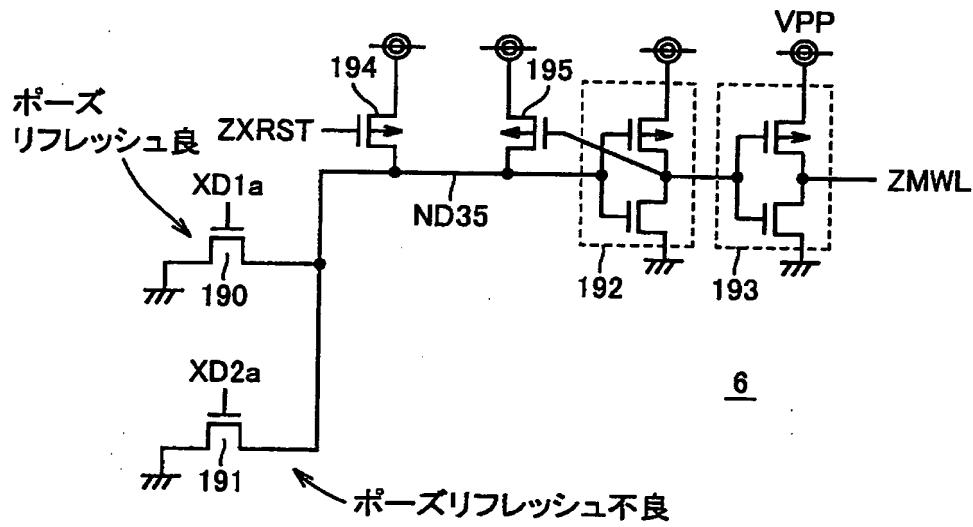


【図 3 5】

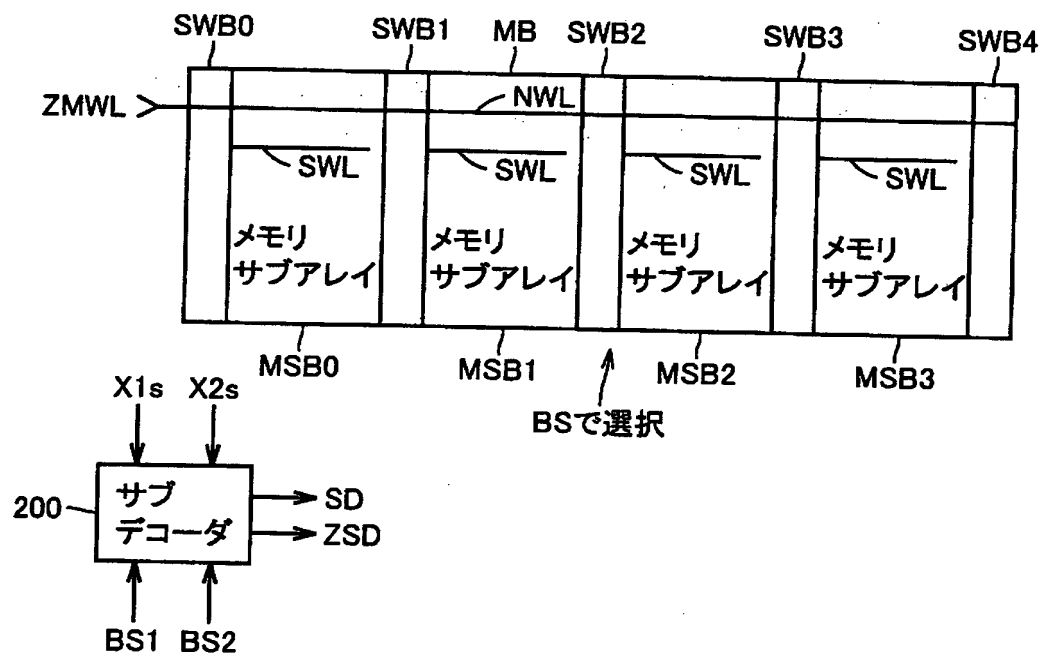




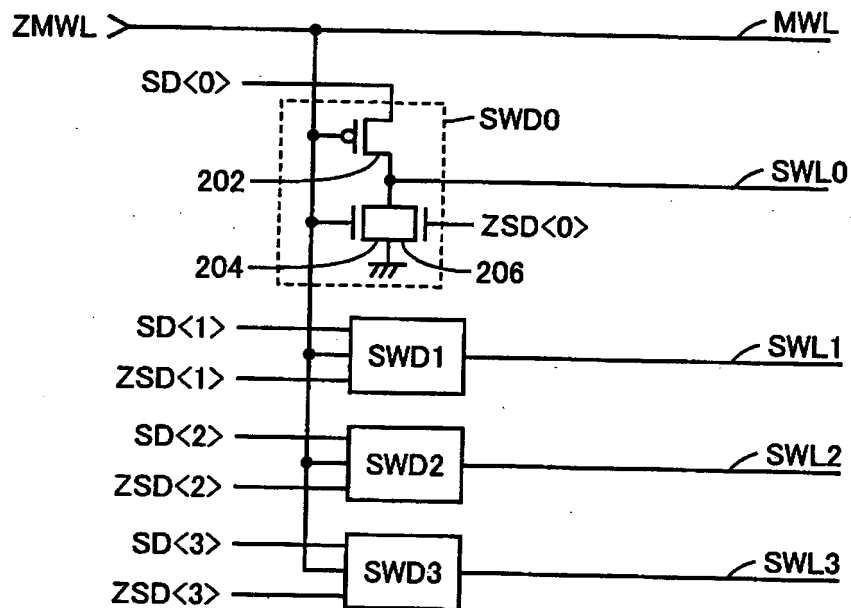
【図 3 6】



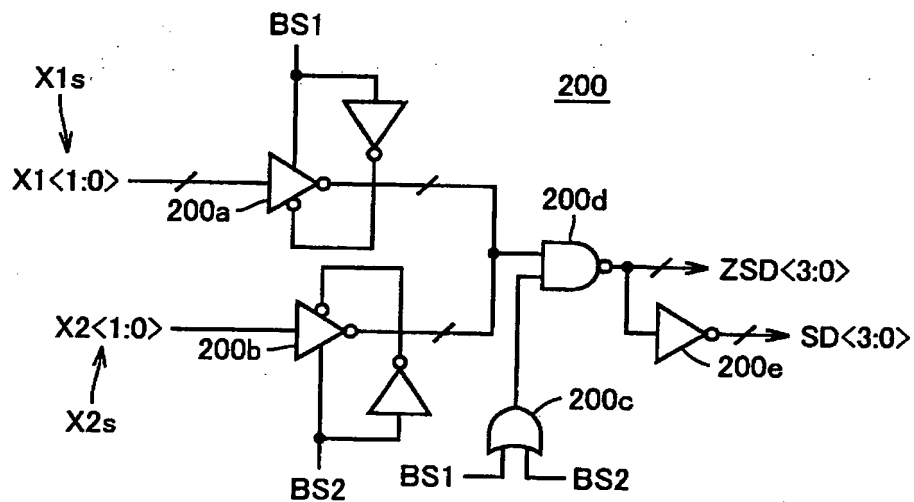
【図 3 7】



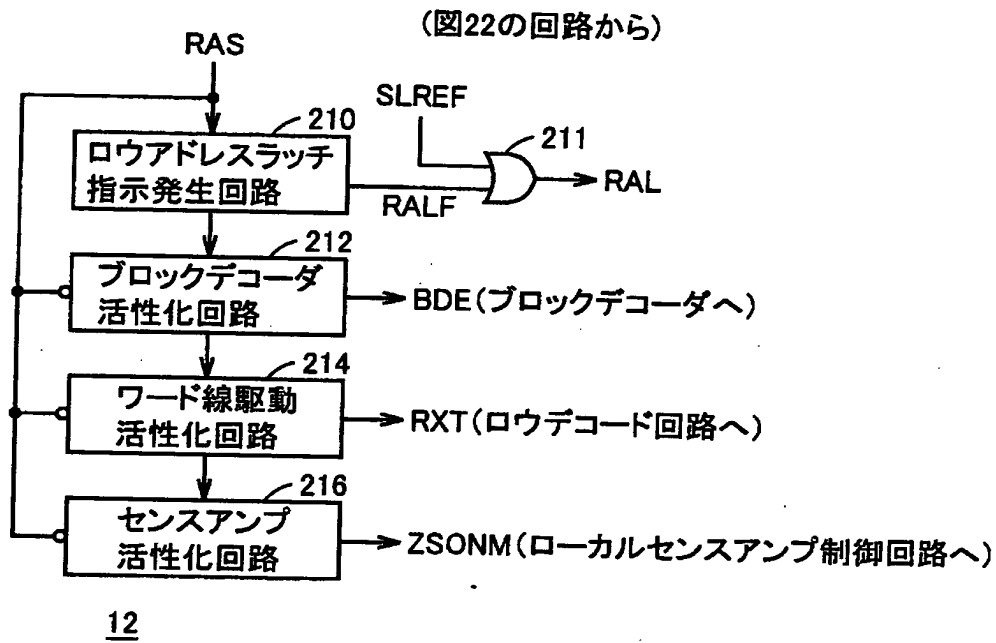
【図 3 8】



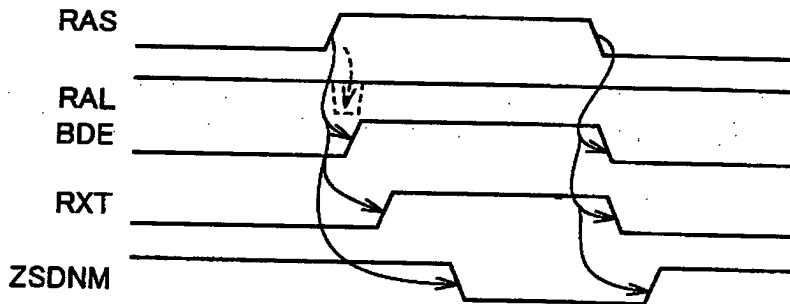
【図 3 9】



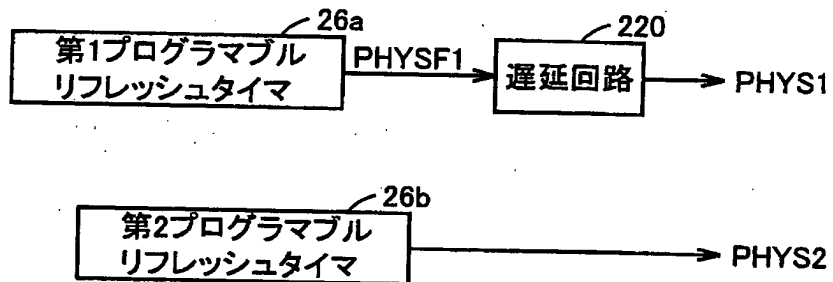
【図 4 0】



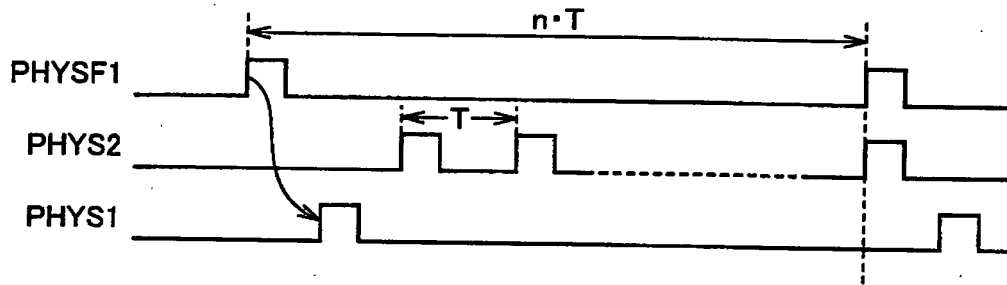
【図 4 1】



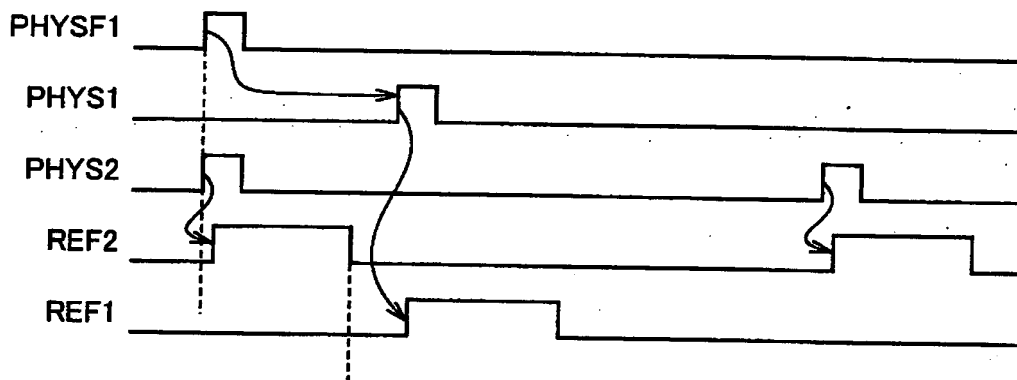
【図 4 2】



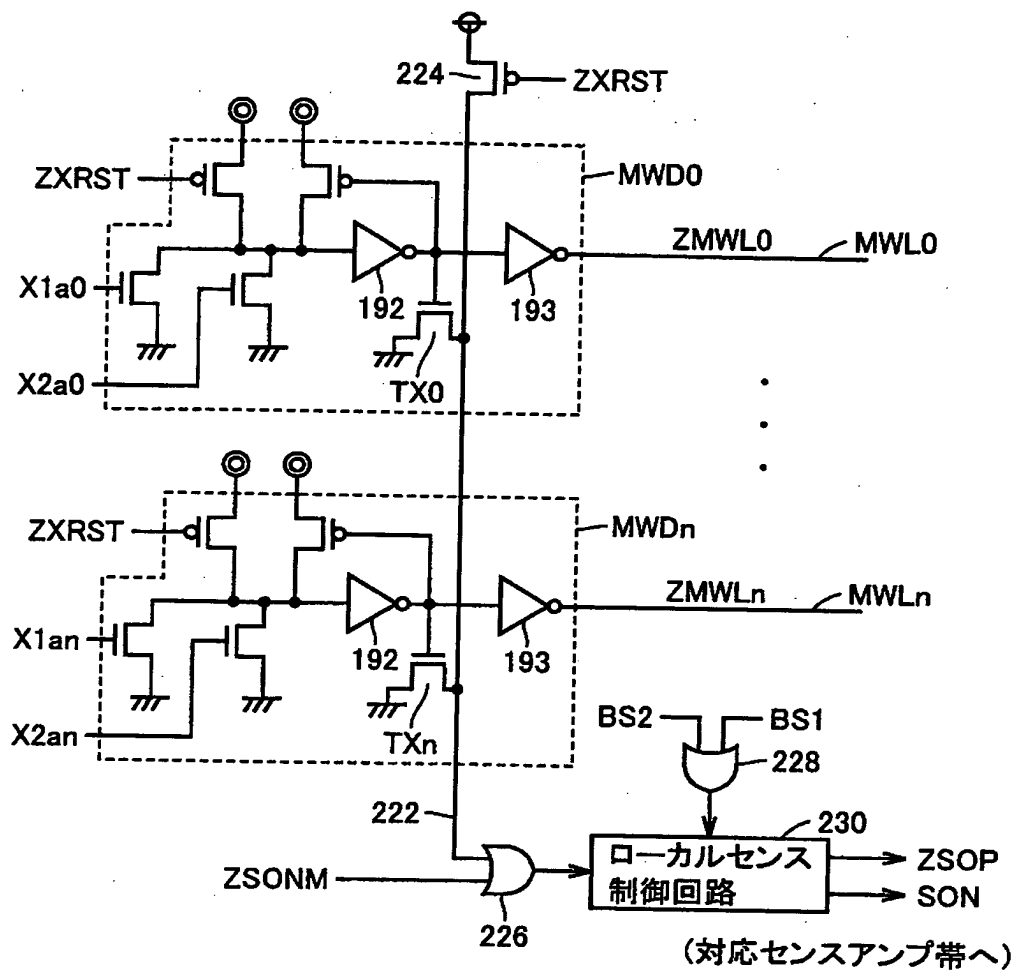
【図 4 3】



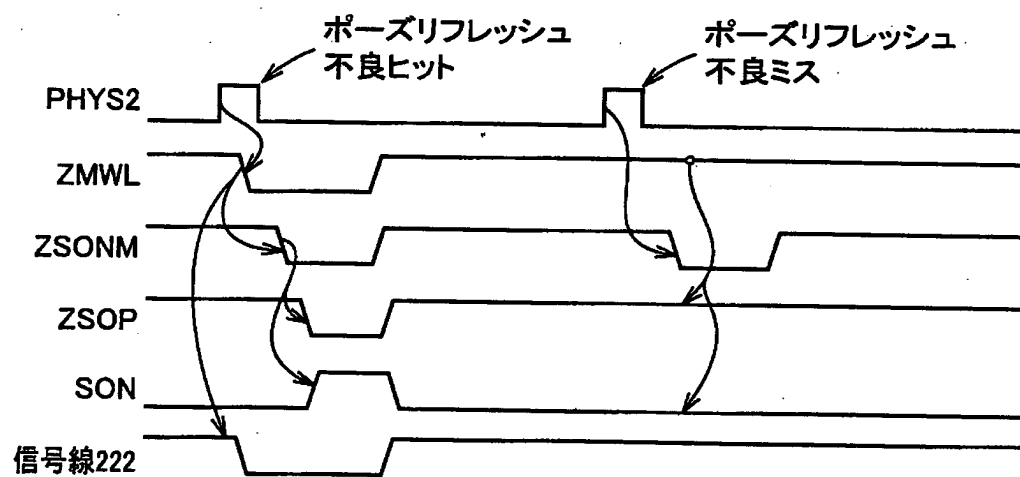
【図 4 4】



【図 4 5】



【図 4 6】



【書類名】 要約書

【要約】

【課題】 セルフリフレッシュモード時の消費電流を低減する。

【解決手段】 リフレッシュ要求 ( P H Y S 1 , P H Y S 2 ) の発行周期の異なるリフレッシュタイマ ( 2 6 a , 2 6 b ) と、このリフレッシュ要求に従ってリフレッシュアドレスを発生するリフレッシュアドレス発生回路 ( 2 0 a , 2 0 b ) を設ける。行選択回路において各行毎に、この発行周期の異なるリフレッシュアドレス ( Q A D 1 , Q A D 2 ) のいずれに従ってワード線を選択するかを設定する。各ワード線を、異なるリフレッシュサイクルでリフレッシュすることができ、ポーズリフレッシュ不良のワード線のみ、短い周期でリフレッシュし、残りのワード線は長い周期でリフレッシュする。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内二丁目4番1号  
氏 名 株式会社ルネサステクノロジ